

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年3月15日 (15.03.2001)

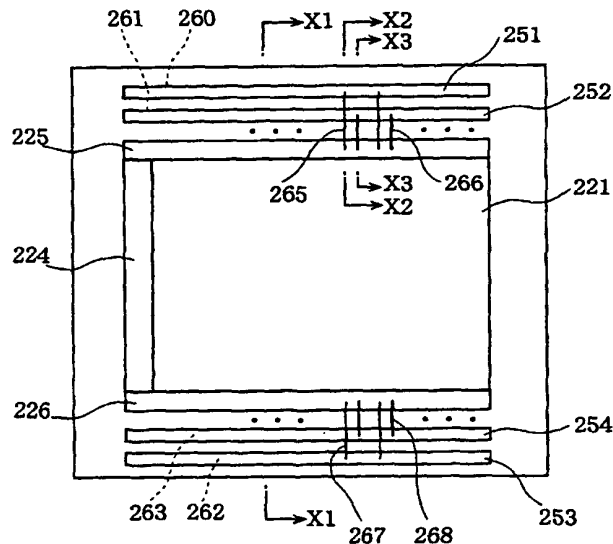
PCT

(10) 国際公開番号  
WO 01/18596 A1

- (51) 国際特許分類<sup>7</sup>: G02F 1/1345 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 倉増敬三郎  
(21) 国際出願番号: PCT/JP00/05945 (KURAMASU, Keizaburo) [JP/JP]; 〒610-0351 京都府京田辺市大住ヶ丘3-12-2 Kyoto (JP). 南野 裕  
(22) 国際出願日: 2000年8月31日 (31.08.2000) (NANNO, Yutaka) [JP/JP]; 〒665-0024 兵庫県宝塚市逆瀬台1-7-1-714 Hyogo (JP).  
(25) 国際出願の言語: 日本語 (74) 代理人: 大前 要(OHMAE, Kaname); 〒540-0037 大阪府大阪市中央区内平野町2-3-14 ライオンズビル大手前2階 Osaka (JP).  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: (81) 指定国 (国内): CN, KR, US.  
特願平11/254389 1999年9月8日 (08.09.1999) JP  
特願平11/259304 1999年9月13日 (13.09.1999) JP  
添付公開書類:  
— 国際調査報告書  
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).  
2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: DISPLAY DEVICE AND METHOD OF MANUFACTURE THEREOF

(54) 発明の名称: 表示装置およびその製造方法



(57) Abstract: An active matrix substrate (212) comprises a glass substrate (210), on which are integrally formed a liquid crystal display section including a matrix array composed of thin-film transistors, and a driver circuits (224-226) for driving liquid crystal display section (221). Glass substrate (210) has its peripheries with grooves (260-263), in which power supply lines (251-254) for the driver circuits (225, 226) are buried. Such a configuration reduces the resistance in the power supply lines for the driver circuit and the buses, such as data lines, without increasing device area. The active matrix substrate formed integrally with driver circuits reduces the drop in the supply voltage to ensure reliable operation of the driver circuits.

[続葉有]



WO 01/18596 A1



---

(57) 要約:

アクティブマトリックス基板 212 は、ガラス基板 210 上に、薄膜トランジスタで構成されるマトリックスアレイを備えた液晶表示部 221 と、液晶表示部を駆動する駆動回路 224 ～ 226 とが形成された駆動回路一体型基板である。ガラス基板 210 の周辺部に凹溝 260 ～ 263 が形成され、この凹溝 260 ～ 263 に、駆動回路 225, 226 に電源を供給する電源ライン 251 ～ 254 が埋め込まれた構成となっている。このような構成により、周辺部分の面積を増加させることなく、駆動回路の電源ラインあるいはデータ配線に代表されるバス配線部分の抵抗値を下げることにより、電源電圧の低下量を小さく抑えて、駆動回路を確実に動作させることができる。駆動回路一体型アクティブマトリックス基板を実現できる。

## 明 細 書

## 表示装置およびその製造方法

5

## 技 術 分 野

本発明は、表示装置及びその製造方法に関わり、特にアレイ基板に形成された内蔵駆動回路部への電源を供給する電源ラインやデータを供給するデータライン等のバス配線と、前記駆動回路部との接続構造に関するものである。

10

## 背 景 技 術

## (第1の背景技術)

従来、アモルファスシリコントランジスタ（以下a-Siと記す）で形成されているアクティブマトリクス型の液晶表示装置は、画素の駆動としての性能はa-Siで十分に満たされているが、同一の基板上に同じプロセスで信号線の駆動回路を構成することは性能上困難であり、単結晶Siによって形成された外付けの駆動回路（ドライバ）を用いてパネルを駆動している。

従って、ドライバはICチップをアレイ基板に接続しなければならない。この接続方法としては図31に示すようにテープキャリアフィルム301上にドライバ302を実装し、これを液晶パネルのアレイ基板303に接続する方法（テープキャリアパッケージ：TCP）がある。

これに対して薄型、軽量を目的として上記ドライバを液晶パネルに直接実装する（チップオンガラス：COG）方法が提案されている。この方法では前述のテープキャリアが不要となりコスト低減

が図れると共にドライバの接続を含んだ液晶パネルトータルの接続点数が  $1/3 \sim 1/5$  に減るため、接続不良に対する信頼性が向上する。この方式を図 3 2 に示す。

しかしながら、COGにおいても、ドライバICチップの接続点数がTCPより少ないものの、やはり多くの端子を接続するための高精度な実装工程を必要とし、大幅な信頼性の向上や製造コストの低減を図ることは困難である。

一方、アモルファスシリコンTFTに対してポリシリコンTFT（以下p-Si-TFTと記す）をアクティブマトリックスのスイッチング素子として用いた液晶表示装置の場合は、半導体層の移動度がa-Siの移動度に対して1ケタ～2ケタ以上高いため（SID'97 p171）、画面内のアクティブマトリックス素子と信号駆動回路の一部あるいは全部をガラス基板上に同時に形成、内蔵することができる。

上記ドライバ回路は、具体的には例えば図 3 3 に示すようにpチャンネルTFT 304とnチャンネルTFT 305とからなる多数のCMOS（Complementary Metal Oxide Semiconductor）インバータ306などによってシフトレジスタやラッチ等が形成されて構成されている。またpチャンネルTFT 304…を接続する配線や、電源配線、画像信号線等は、ガラス基板に形成された例えば膜厚が7000Å程度のアルミニウム薄膜などにより構成されている。

しかしながら、上記従来の液晶表示装置は、p-Si-TFTの特性、および電源配線の配線抵抗に起因して、各シフトレジスタ等に供給される電源電圧の電圧降下が生じるため、電源配線の配線幅をかなり広くしたり、電源電圧をかなり高く設定したりしなければ、

ドライバ回路を適正に動作させることができないという問題点を有していた。

すなわち、上記 p - S i - T F T は、上記のように a - S i - T F T よりも高速な動作速度が得られるものの、例えば Displays  
5 Volume 14 Number 2 1993 pp.104-114 "Integrated driver circuits for active matrix liquid crystal displays" (図 3 4) に示されるように、I C チップなどを構成する単結晶シリコンを用いたトランジスタに比較して、O F F 時電流、およびサブスレッショルド領域で流れる電流が大きい。これは、ポリシリコン中でのグレインバ  
10 ウンダリ準位を介したキャリアのホッピング (Memorandum No. UCB/ERL M93/82)、またはゲート絶縁層中に存在するイオンによる固定電荷の影響 (同) によるものと推測されている。このため、C M O S インバータのスイッチングの際に、サブスレッショルド領域におけるドレイン電流の増加に伴って、大きな貫通電流が流れる。  
15 より詳しくは、図 3 5、および以下に示すような動作によって貫通電流が流れる。

(1) 入力電圧 (ゲート電圧)  $V_{in}$  が 0 V の場合には、p チャネル T F T 3 0 4 は導通状態、n チャネル T F T 3 0 5 は非導通状態になり、出力電圧  $V_{out}$  はハイレベル ( $5 V = V_{dd}$ ) になる。この  
20 状態では、p チャネル T F T 3 0 4 のソースから n チャネル T F T 3 0 5 のドレインにかけての貫通電流 (直流パス電流) はほとんど流れない。

(2) 入力電圧  $V_{in}$  が上昇して、n チャネル T F T 3 0 5 の閾値電圧  $V_{th}(n)$  (電圧 A) を越え、電圧 B になるまでは、p チャネル T  
25 F T 3 0 4 は飽和動作領域でほぼ導通状態が維持されるとともに、n チャネル T F T 3 0 5 は非飽和動作領域で、入力電圧  $V_{in}$  に応じ

たドレイン電流が流れ始めるため、貫通電流が徐々に増大するとともに、出力電圧  $V_{out}$  が徐々に低下する。

(3) 入力電圧  $V_{in}$  がさらに上昇して、電圧 B から電圧 D になるまでの間は、p, n チャネル T F T 3 0 4, 3 0 5 が共に非飽和動作領域で入力電圧  $V_{in}$  に応じたドレイン電流が流れるため、電圧 C のときに貫通電流が最大になるとともに、出力電圧  $V_{out}$  が急激に低下する。

(4) 入力電圧  $V_{in}$  が電圧 D を越えると、p チャネル T F T 3 0 4 は、やはり非飽和動作領域で、入力電圧  $V_{in}$  に応じたドレイン電流が流れるとともに、n チャネル T F T 5 は飽和動作領域になってほぼ導通状態になり、貫通電流が減少するとともに、出力電圧  $V_{out}$  が漸近的にローレベル (0 V) に近づく。

(5) 入力電圧  $V_{in}$  が p チャネル T F T 3 0 4 の閾値電圧  $V_{th}(p)$  (電圧 E) を越えると、p チャネル T F T 3 0 4 は非導通状態、n チャネル T F T 3 0 5 は導通状態になり、出力電圧  $V_{out}$  はローレベル (0 V) になるとともに、貫通電流はほとんど流れなくなる。

上記のような貫通電流が流れることによって、例えば電源配線の配線抵抗によって生じる電圧降下量が 1.5 V 以上になると、シフトレジスタやラッチの駆動電圧のマージンが小さくなり、ドライバ回路を適正に動作させることが困難になる。具体的には、例えば対角寸法が 20 cm の液晶表示装置を構成するとすると、電源配線には、160 mA 程度の電流が流れるため、電圧降下量を 1.5 V 以下に抑えるためには、電源配線の配線抵抗を 9  $\Omega$  程度以下にする必要があり、電源配線のシート抵抗が 0.1  $\Omega$  であれば、配線幅を 1 本あたり 3.4 mm 以上にしなければ、ドライバ回路を適正に動作させることができない。

このような問題点は、表示画素数が多い液晶表示装置や、カラー画像を表示する液晶表示装置の場合には、設けられるシフトレジスタ等の段数が多く、電源電圧の低下量が大きくなるために、一層顕著なものとなる。また、画面サイズが大きいほど、電源配線が長くなるために、やはり、電源電圧の低下量が大きくなる。さらに、上記のような問題点は、アナログ画像信号が入力される液晶表示装置でも、デジタル画像信号が入力される液晶表示装置でも生じるが、特に後者の場合には、シフトレジスタに加えて、デジタル画像信号のビット数に応じたラッチ回路やD/Aコンバータを備えているために貫通電流が大きくなり、さらに顕著なものとなる。

また、例えば特公平4-3552に示されるような、画像信号電圧を順次各画素電極に印加するいわゆる点順次駆動の液晶表示装置や、SID 96 DIGEST pp.21-24に示されるような、1水平期間分の画像信号を一旦保持した後、水平ラインの各画素電極に同時に画像信号電圧を印加する、いわゆる線順次駆動の液晶表示装置においても、上記問題点は同様である。

#### (第2の背景技術)

現在、液晶表示装置はノートパソコンやカーナビゲーションなどに用いられ、今後更に小型、軽量化が望まれている。これを実現するために、駆動回路を内蔵化できる多結晶シリコン薄膜トランジスタを用いて外部回路との接続方式をより簡略化することで、薄型、小型化を実現することが期待されている。

そこで以下では、従来のアモルファスシリコン薄膜トランジスタと、それを駆動するための駆動用ICとをフリップチップ方式で接続する場合、および従来の多結晶シリコン薄膜トランジスタを用いた場合の外部回路との接続のための取出し方式を図面を参照しながら

ら説明する。

図 3 6 及び図 3 7 は、5 型ワイドで約 4 0 万画素の液晶表示装置の概略形状を示すものである。図 3 6 は、従来のアモルファスシリコン薄膜トランジスタを用い、駆動用 I C を用いてフリップチップ方式で接続した液晶表示装置の平面構成と、その A - A' 断面を示す図である。また、図 3 7 は、駆動回路を多結晶シリコン薄膜で作成した場合の平面構成と、その B - B' 断面を示す図である。

図 3 6 および図 3 7 において、同一名称については同一番号を付与している。4 0 1 はアレイ基板、4 0 2 は対向基板、4 0 3 はフレキシブル配線板、4 1 1 は駆動用 I C である。

図 3 6 に示すように、I C をフリップチップ接続する方式では接続ピッチが現在の技術をこえる微細ピッチとなるため信号側回路部は上下に分割して両側から取出す構成となり、フレキシブル配線板を両側に設けてこれらをプリント基板(図示せず)に接続して回路を構成していた。

さらに、図 3 7 は駆動回路部を多結晶シリコン薄膜で形成したものである。従来のアモルファスシリコン薄膜トランジスタの場合とは異なり、片側ですべての信号側回路部を形成できるためフレキシブル配線板も一枚で良く、これをプリント基板と接続して回路を構成していた。

上記したように、アモルファスシリコン薄膜トランジスタと駆動用 I C をフリップチップ接続する従来の方式では、高価なフレキシブル配線板が 2 枚も必要であり、かつ両側のフレキシブル配線板をバックライト側に配置したプリント基板で接続する構成となるため液晶装置として厚くなるという課題も生じる。

また、ポリシリコン薄膜トランジスタで駆動回路を形成する場合



には接続ピッチの制約がないためフレキシブル配線板は片側のみで  
良く、その分低コストになるがフレキシブル配線板は比較的形状の  
大きなプリント基板と接続する必要があるため、アモルファスシリ  
コン薄膜トランジスタの場合と同様にバックライト側に配置する構  
5 成となり、液晶装置として厚くなるという課題は同様である。

(背景技術の課題の要約)

背景技術の課題を要約すれば、駆動回路の適正な動作を確保する  
ため、電源供給用のバス配線及びその他の信号供給用のバス配線を  
低抵抗で形成することが所望されていた。また、外部回路との接続  
10 のためのフレキシブル配線基板を小型・薄型化し、表示装置全体の  
小型・薄型化が所望されていた。

発 明 の 開 示

本発明の目的は、低抵抗のバス配線を形成することができるとと  
15 もに、外部回路との接続のためのフレキシブル配線基板の小型化等  
により装置の薄型・小型化を実現するようにした表示装置及びその  
製造方法を提供することである。

上記の目的を達成するため、第1の発明群は、アクティブマトリ  
ックス基板上にバス配線を有する樹脂基板を実装することを特徴と  
20 するものである。また、第2の発明群は、アクティブマトリックス  
基板上に印刷方式でバス配線を形成することを特徴とするものであ  
る。また、第3の発明群は、アクティブマトリックス基板内にバス  
配線を埋め込むことを特徴とするものである。

(1) 第1の発明群の具体的な構成は、以下の通りである。

25 第1の発明群は、多結晶シリコン薄膜トランジスタで構成される  
駆動回路部が形成されたアクティブマトリックス基板と、対向基板

との間に、液晶が充填され、前記駆動回路部を構成する複数の回路素子にクロックやデータ等の信号や電源を供給するための個別配線網が前記アクティブマトリックス基板の周縁部側に引き出された構造の表示装置において、前記アクティブマトリックス基板の周縁部

5 には、ビアホールが形成された絶縁体と、この絶縁体表面に形成されるバス配線とを有する多層バス配線形成部が設けられ、前記バス配線は前記ビアホールを介して前記個別配線網と接続しており、このバス配線に備えられた外部接続端子により、外部回路と接続可能に構成されていることを特徴とする。

10 上記構成により、アクティブマトリックス基板の周縁部に低抵抗のバス配線を形成することが可能となる。また、バス配線の一部に外部接続端子を設けることにより、フレキシブル配線基板の小型薄型化を実現することが可能となる。

多層バス配線形成部としては、予め成形された樹脂基板を用いてもよい。勿論、この樹脂基板は、表面にバス配線が形成され、且つ内部にビアホールが形成されている。この樹脂基板の材料としては、アラミドエポキシ樹脂を用いるのが好ましい。また、ビアホール内の導電部材としては、導電ペーストが用いられる。

15

また、樹脂基板は、多層構造を有し、最上層表面にバス配線が形成されるとともに、内層表面にもバス配線が形成され、各層に形成されるビアホールを介して上下のバス配線が選択的に接続されて立体配線構造となっている多層基板の場合もある。このような多層基板であれば、設計の自由度が大きくなり、複数のバス配線を容易に配置することが可能となる。

20

25 また、導電ペーストをビアホールの下部開口から部分的に突出させ、この突出部によりアクティブマトリックス基板と樹脂基板とを

接着するようにしてもよい。これにより、バンプ端子や導電性接着剤が不要となる。

また、樹脂基板とアクティブマトリックス基板とを接着する接着剤は、熱可塑性を有する材料で構成されている場合もある。このよ  
5 うな構成であれば、樹脂基板をアクティブマトリックス基板に固定する際に、何度でも接着・剥離が可能となり、そのため樹脂基板とアクティブマトリックス基板との位置合わせを正確に行うことが可能となる。

また、接着剤としては、異方性導電樹脂又は銀ペーストを用い  
10 てもよい。

また、樹脂基板がフィルム状基板であり、前記アクティブマトリックス基板に剥離可能に接着するように構成してもよい。フィルム状基板であれば、可撓性を有するため接着作業が容易であり、その  
15 ため、樹脂基板とアクティブマトリックス基板との位置合わせが更に正確となる。なお、フィルム状基板はポリイミド又はエポキシを主成分とする樹脂から成るのが好ましい。

また、外部回路を構成する半導体チップが樹脂基板上に実装され、バス配線と接続されている場合もある。これにより、フレキシブル配線基板や外部回路が実装されたプリント基板が不要となる。

20 なお、半導体チップはビアホール内に埋め込むようにしてもよい。これにより、樹脂基板の表面が平坦化される。

(2) 第2の発明群の具体的な構成は、以下の通りである。

多層バス配線形成部は、樹脂基板に代えて、印刷により形成されたバス配線を用いられている。多層バス配線形成部の絶縁体も、同  
25 様に印刷により形成されている。このような印刷方式による多層バス配線形成部であっても、樹脂基板を用いる場合と同様にフレキシ

ブル配線板の低コスト化が実現でき、かつ薄型化を達成できる。しかも、印刷による場合は、必要領域のみに低抵抗の導電材料を簡単に作成することができるというメリットもある。

また、第2の発明群に係る液晶表示装置の具体的な製造方法は、  
5 以下の通りである。

即ち、第2の発明群に係る液晶表示装置の製造方法は、駆動回路部を多結晶シリコン薄膜トランジスタで形成する工程と、前記駆動回路部を含む薄膜配線領域上に絶縁膜を形成する工程と、前記絶縁膜の所定部分をフォトリソによりエッチングして前記駆動回路部の  
10 配線電極の所定部分を露出するようにビアホールを形成する工程と、前記絶縁膜上に導電性インクを用いて所定形状に印刷し、ビアホールを通して前記駆動回路部の配線電極と電氣的接続を行う工程とを含むことを特徴とする。

この方法によれば、絶縁膜は画素部や駆動回路部を保護するために設ける窒化シリコンや酸化ケイ素薄膜を用いたもので、特別に絶縁膜を形成する必要がなく、かつ耐熱性の良い絶縁膜を用いることで印刷形成する材料の硬化温度を高く設定でき、より低抵抗化を図ることができる。

また、第2の発明群に係る液晶表示装置の製造方法は、駆動回路  
20 部を多結晶シリコン薄膜トランジスタで形成する工程、前記駆動回路部を含む薄膜配線領域の所定部分に前記薄膜配線電極の一部が露出するようにビアホールを形成するための絶縁膜を印刷形成する工程と、前記絶縁膜上に導電性インクを用いて所定形状に印刷し、ビアホールを通して前記駆動回路部の配線電極と電氣的接続を行う工  
25 程と、を有することを特徴とする。

この方法によれば、画素部や駆動回路部のトランジスタを保護す

る絶縁膜だけでなく、さらに低誘電率の絶縁膜を設けることで大電流が流れることによる電磁界的な影響を防ぐことができ、液晶表示装置の高性能化を達成できる。

また、第2の発明群に係る液晶表示装置の製造方法は、駆動回路部を多結晶シリコン薄膜トランジスタで形成する工程と、前記駆動回路部を含む薄膜配線領域と画素部分上に透明絶縁膜を塗布形成して平坦化膜を形成する工程と、前記平坦化膜をフォトリソとエッチングプロセスにより前記駆動回路部を含む薄膜配線領域と前記画素部分の所定個所にビアホールを設ける工程と、前記平坦化膜上に透明導電膜を所定個所にパターン形成する工程と、前記駆動回路部への給電のための配線を透明導電膜を含む前記平坦化膜上に印刷形成する工程と、を有することを特徴とする。

この方法によれば、液晶表示装置の高開口率化のために作成する平坦化膜を駆動回路部上にも形成して絶縁膜として用いると同時に、駆動回路部の配線電極とは透明導電膜で電氣的接続されるようにしておくことで、微細なビアホールでも十分な導通が得られるようにし、より小型化を達成できる。

(3) 第3の発明群の具体的な構成は、以下の通りである。

①即ち、本発明は、多結晶シリコン薄膜トランジスタで構成される駆動回路部が形成されたアクティブマトリックス基板と、対向基板との間に、液晶が充填され、前記駆動回路部を構成する複数の回路素子にクロックやデータ等の信号や電源を供給するための個別配線網が前記アクティブマトリックス基板の周縁部側に引き出された構造の表示装置において、前記アクティブマトリックス基板の周縁部に凹溝が形成され、この凹溝に、前記個別配線網に接続されるバス配線が埋め込まれた構成となっていることを特徴とする。

このような構成によれば、凹溝の深さを大きくしてバス配線の厚みを大きくすることにより、配線抵抗を小さくして電源電圧の電圧降下を小さく抑えることができ、この結果、駆動回路を確実に動作させることが可能となる。

- 5       また、アクティブマトリックス基板の周辺部分の面積を増加させることなく配線抵抗を下げるので、狭額縁化の液晶表示装置を実現することが可能となる。

更に、バス配線がアクティブマトリックス基板に埋め込まれた構造であるので、バス配線と駆動回路を接続する接続配線や、これら  
10       を被覆して形成される絶縁層に、段差が生じることがなく、平坦化が達成されている。よって、セルギャップが均一に保持された液晶表示パネルを構成することが可能となる。

アクティブマトリックス基板にバス配線を埋め込む方法として、アクティブマトリックス基板にレジストを塗布し、サンドブラスト  
15       法によりアクティブマトリックス基板の物理的エッチングを行うことで窪みを設け、次に金属配線を形成した後レジストを剥離することによって形成するか、あるいはエッチング液を用いて化学的にガラスを腐食して窪みをもうける方法などを選択することが可能である。サンドブラスト法などの物理的エッチングは、装置が簡略であ  
20       り、その工程にかかるコストも少ないが、配線幅の微細化の点においては、次に述べるエッチング液による方法に対して劣る。これに対してエッチング液を用いた化学的エッチングは、装置などの工程にかかるコストは大きい、エッチング精度という点においてはサンドブラスト法に対して優れている。

- 25       ②また本発明は、アクティブマトリックス基板の周縁部に有機樹脂層が形成されており、この有機樹脂層内に、バス配線が埋め込ま

れた構成となっていることを特徴とする。

このような構成によれば、埋め込み配線構造により、上記発明と同様にアクティブマトリックス基板の周辺部分の面積を増加させることなく配線抵抗を下げるができるので、狭額縁化の液晶表示

5 装置を実現することが可能となる。

また、樹脂層が平坦化層の役割を果たすため、上記発明と同様にセルギャップが均一に保持された液晶表示パネルを構成することが可能となる。

また、樹脂材料として感光性のある材料を使えば、レジストをコーティングする必要がなくなり、その加工性もガラス基板に比較して容易である。さらにこの有機樹脂をスクリーン版を用いて周辺部など必要な部分のみコーティングする事も可能である。あるいはこの樹脂に埋め込むべき金属配線として熱硬化型の導電性樹脂を用い、スクリーン版を用いて配線を印刷することも可能である。

15 ③上記2つの構成に加えて、埋め込む配線を薄膜あるいは厚膜にかえて金属細線を用いることも可能である。

④さらにバス配線部分の抵抗を下げるために、その膜厚を厚くする手段としてメッキ工法を用いてもよい。メッキの材料としては低抵抗化に有効な銅メッキ、ニッケルメッキ、クロムメッキ及びアルミニウムメッキを採用することが可能である。またこれらの合金メッキを用いることも可能である。さらにメッキの手段として銅箔、銅メッキ層、金ニッケルメッキ層の層構造を採用することで安定した配線を形成することが可能となる。

⑤ここで、埋め込み配線構造とすることにより、バス配線の抵抗値を大幅に低減することができる理由を、具体的に説明する。例えば、対角20cmの液晶パネルにおいて、ポリシリコンを用いた駆

動回路のシフトレジスタの電源ラインに瞬時的に流れる電流値を測定すると800mA程度流れる。従って、電源ラインを一般的に液晶パネルの作成プロセスにおける低抵抗配線材料として用いられるAlとした場合、電源ラインの電圧降下を1.5V以内に押さえるには、配線抵抗を1.8Ω以下に押さえることが必要となり、Alのシート抵抗を0.1Ω/□とするとこの配線幅をプラス側とマイナス側トータルで13mm程度の配線幅が必要となる。これに対し、例えばメッキ工法を用いれば、配線の膜厚を1μm～10μmとすることは容易であり、例えばAlの膜厚を4μmとすることでシート抵抗を0.01Ω/□とすることができる。メッキによる配線幅が4～5mm程度あればこれにより配線抵抗は0.1Ω程度でありこれによる電圧降下は問題とならない。ここでは、埋め込み配線がメッキ工法で形成されたものについて説明したけれども、金属細線やその他の本発明に従う構成のものについても同様に当てはまる。

例えば、金属細線の場合であれば、上記例に適用しようとするれば、直径を1μm～10μmとすれば、配線抵抗は0.1Ω程度となり、上記メッキ工法と同様の効果を得ることができる。

勿論、電源ライン以外の他の共通配線、例えばデータ線、シフトレジスタのクロック線等の配線抵抗による信号の遅延が課題となるような部分にも、埋め込み配線構造とすることにより、電源ラインと同様な作用効果を奏することになる。

なお、上記第1～第2の発明群の表示装置は、液晶表示装置に限らず、PDP (Plasma Discharge Panel) やEL (Electro Luminescent)等の発光型マトリクスパネルを備えた表示装置にも適用することができる。



## 図面の簡単な説明

図 1 は実施の形態 1 - 1 に係る表示パネルの平面図である。

図 2 は表示パネルの周辺部付近での配線状態を示す模式図である。

図 3 は表示パネルの周辺部付近の断面図である。

5 図 4 は実施の形態 1 - 2 に係る表示パネルの断面図である。

図 5 は実施の形態 1 - 3 に係る表示パネルの断面図である。

図 6 は実施の形態 1 - 4 に係る表示パネルの断面図である。

図 7 は実施の形態 1 - 5 に係る表示パネルの断面図である。

図 8 は第 2 の発明群の原理を説明するための図であり、そのうち

10 図 8 ( A ) は第 2 の発明群に係る液晶表示装置の平面図であり、図

8 ( B ) は第 2 の発明群に係る液晶表示装置の断面図である。

図 9 は図 8 ( B ) の拡大断面図である。

図 1 0 は実施の形態 2 - 1 における液晶表示装置の製造工程主要断面図である。

15 図 1 1 は実施の形態 2 - 2 における液晶表示装置の製造工程主要断面図である。

図 1 2 は実施の形態 2 - 3 における液晶表示装置の製造工程主要断面図である。

20 図 1 3 は実施の形態 3 - 1 に係る液晶表示装置の構成を示す平面図である。

図 1 4 は実施の形態 3 - 1 に係る液晶表示装置の回路図である。

図 1 5 は図 1 4 に示すシフトレジスタ 2 3 4 ~ 2 3 7 の構成を示す回路図である。

25 図 1 6 はシフトレジスタ 2 3 4 ~ 2 3 7 の動作を示すタイミングチャートである。

図 1 7 はシフトレジスタの分割数と画像信号電圧の印加時間との

関係を示すグラフである。

図 1 8 アレイ基板 2 1 2 の簡略化した平面図である。

図 1 9 は図 1 8 の X 1 - X 1 矢視断面図である。

図 2 0 は図 1 8 の X 2 - X 2 矢視断面図である。

5 図 2 1 は図 1 8 の X 3 - X 3 矢視断面図である。

図 2 2 は金属配線と駆動回路部と接続構成の変形例を示す図である。

図 2 3 は実施の形態 3 - 1 に係るアレイ基板の製造工程図である。

図 2 4 は実施の形態 3 - 2 に係るアレイ基板の製造工程図である。

10 図 2 5 は実施の形態 3 - 3 に係るアレイ基板の簡略化した断面図である。

図 2 6 は実施の形態 3 - 3 に係るアレイ基板の製造工程図である。

図 2 7 は実施の形態 3 - 4 に係るアレイ基板の製造工程図である。

図 2 8 は実施の形態 3 - 5 に係るアレイ基板の製造工程図である。

15 図 2 9 は金属細線と駆動回路部と接続構成の変形例を示す図である。

図 3 0 は実施の形態 3 - 6 に係るアレイ基板の製造工程図である。

図 3 1 は従来のテープキャリアパッケージの液晶表示装置の構成を示す平面図である。

20 図 3 2 は従来のチップオンガラスの液晶表示装置の構成を示す平面図である。

図 3 3 は C M O S インバータの構成を示す回路図である。

図 3 4 はポリシリコン薄膜トランジスタ及び単結晶シリコントランジスタの特性を示すグラフである。

25 図 3 5 はポリシリコン薄膜トランジスタを用いた C M O S インバータにおける貫通電流の大きさを示すグラフである。

図 3 6 は従来のアモルファスシリコン薄膜と駆動用 I C をフリップチップ接続して構成した液晶表示装置の平面構成図である。

図 3 7 は従来ポリシリコン薄膜トランジスタを用いて作成した液晶表示装置の平面構成図である。

5

発明を実施するための最良の形態

[ 第 1 の発明群 ]

第 1 の発明群は、アクティブマトリックス基板（以下の説明ではアレイ基板と称する場合もある）の周縁部にバス配線を有する樹脂  
10 基板を実装して、樹脂基板に形成されたビアホールを介してバス配線と駆動回路部とを電氣的に接続するようにしたことを特徴とする。このような構成により、アレイ基板の周縁部に低抵抗のバス配線を形成することが可能となる。また、バス配線の一部に外部接続端子を設けることにより、フレキシブル配線基板の小型薄型化を実現す  
15 ることができる。以下に、第 1 の発明群の具体的な構成を実施の形態 1 - 1 ~ 実施の形態 1 - 5 を例示して説明する。

（実施の形態 1 - 1）

図 1 は実施の形態 1 - 1 に係る表示パネルの平面図であり、図 2 は表示パネルの周辺部付近での配線状態を示す模式図であり、図 3  
20 は表示パネルの周辺部付近の断面図である。この表示パネル 1 は、アクティブマトリックス型液晶表示パネルであり、アレイ基板 2 と対向基板 3 とを有する。アレイ基板 2 と対向基板 3 との間には、液晶が充填されている。このアレイ基板 2 は、液晶表示部を駆動する駆動回路部（走査側駆動回路及び信号線側駆動回路）4（図 2 参照）  
25 が多結晶シリコンで構成された駆動回路一体型のアクティブマトリックス基板である。即ち、当該駆動回路部 4 は、液晶表示部の製造

プロセス時に同時に造り込まれた内蔵駆動回路である。

なお、液晶表示部は、マトリクス状に配置された複数の走査線と複数の信号線と、各走査線と各信号線の交差位置に配置された画素疎スイッチ素子としての薄膜トランジスタ（FTF：Thin-Film-Transister）とから構成されている。また、前記駆動回路部4は液晶表示部の周辺部に形成されている。

駆動回路部4はインバータ、ラッチ等の複数の回路素子20から構成されており、各回路素子20は電源ライン7から成る個別配線網21を介して個別的に電源が供給されるように構成されている。

10 この個別配線網21の各電極パッド22は、アレイ基板2の周縁部に引き出されている。なお、個別配線網21は、電源ライン7に限らず、データ線やクロック信号線、あるいはその他の制御信号線等についても個別配線網21が形成されており、以下に述べるように電源ライン7と同様にバス配線12により共通化され、外部接続端子13を介して外部回路と接続された構成となっている。但し、説明の便宜のため電源ライン7を例として以下に詳細に説明することにする。

ここで、注目すべきは、アレイ基板2の周縁部に、個別配線網21に共通に接続されるバス配線12を備えたバス多層配線形成部5

20 が形成されていることである。このバス多層配線形成部5により、個別配線網21の各電極パッド22がバス配線12に接続され、バス配線12の外部接続端子13を介してフレキシブル配線基板6と接続されていることである。これにより、低抵抗のバス配線12を形成することができ、かつ、フレキシブル配線基板6の小型薄型化

25 を実現できる。

バス配線形成部5の具体的な構成は図2及び図3に示されている。

バス多層配線形成性部 5 は、アレイ基板 2 の周縁部に実装された長手状（図 1 の横方向に延びた形状）の樹脂基板 10 から構成されている。樹脂基板 10 は、例えばアラミドーエポキシ系樹脂から成る絶縁層 11 を有し、絶縁層 11 の上面にバス配線 12 が形成されている。このバス配線 12 は、絶縁層 11 の上面に形成された銅箔が所定のパターンニングされて得られたものである。なお、バス配線 12 は保護層 18 により保護されている。

また、絶縁層 11 にはビアホール 17 が形成されており、このビアホール 17 内には導電ペーストを主成分とする導電部材 14 が充填されている。導電部材 14 の下端部にはバンプ電極 15 が形成されており、このバンプ電極 15 は導電性接着剤 16 により各電極パッド 22 と接着されている。これにより、樹脂基板 10 がアレイ基板 2 と固定されるとともに、接続個別配線網 21 がバス配線 12 と電氣的に接続されることになる。なお、保護層 18 内にも、ビアホール 17 が形成されており、このビアホール 17 には導電ペーストが充填されて導電ペーストから成る外部接続端子 13 を構成している。この外部接続端子 13 はフレキシブル配線基板 6 の配線 19 に導電性接着剤 25 を介して接続され、フレキシブル配線基板 6 はアレイ基板の裏面側に折り曲げられて、外部回路が形成されたプリント基板に接続されている。

上記構成によれば、樹脂基板 10 上にバス配線 12 を形成するため、十分な配線幅及び配線の厚み（膜厚み）が得られる。従って、低抵抗のバス配線 12 を構成することが可能となる。

またバス配線 12 は外部接続端子 13 を介して一点からアレイ基板 2 の外部に取出されるため、外部接続端子 13 に接続されるフレキシブル配線基板 6 は従来例に比べて小型・薄型のものを使用する

ことが可能となり、表示装置の小型・薄型化を実現できる。

なお、保護層 18 は本発明において必須の要素ではなく、保護層 18 を省略するように構成してもよい。

(実施の形態 1 - 2)

5 図 4 は実施の形態 1 - 2 に係る表示パネルの断面図である。本実施の形態 1 - 2 は、上記実施の形態 1 - 1 に類似し対応する部分には同一の参照符号を付す。本実施の形態 1 - 2 では、フレキシブル配線基板 6 や外部回路が実装されているプリント基板に代えて、樹脂基板上に直接に外部回路を実装したことを特徴とするものである。

10 即ち、コントローラ等の半導体チップ 30 を樹脂基板 10 上に実装し、半導体チップ 30 を外部接続端子 13 と電氣的に接続するように構成したものである。このような構成により、フレキシブル配線基板 6 や外部回路が実装されているプリント基板を省略することができるため、製造コストの大幅な低減を図ることができる。

15 (実施の形態 1 - 3)

半導体チップ 30 は、図 5 に示すようにビアホール 17 内に埋め込むように構成してもよい。このような構成であれば、実施の形態 1 - 2 に比べて樹脂基板 10 の表面を平坦化することが可能となる。

(実施の形態 1 - 4)

20 図 6 は実施の形態 1 - 4 に係る表示パネルの断面図である。本実施の形態 1 - 4 は、上記実施の形態 1 - 1 に類似し対応する部分には同一の参照符号を付す。本実施の形態 1 - 4 は、樹脂基板 10 に代えて、可撓性を有するフィルム状基板 40 が用いられる。フィルム状基板 40 は、例えばポリイミド又はエポキシを主成分とする樹脂から成る。これにより、フィルム状樹脂基板 40 をアレイ基板 2  
25 に貼り合わせる際に、フィルム状樹脂基板 40 の一端部から徐々に

貼り合わせていけばよい、電極パッド 22 とバンプ電極 15 との位置合わせが容易となる。

また、フィルム状基板 40 を熱可塑性を有する材料から構成してもよく、このような場合はフィルム状基板 40 自体が半接着性を有することになるため、バンプ電極 15 や導電性接着剤 16 を省略して、フィルム状基板 40 を直接アレイ基板 2 に接着することが可能となる。そして、フィルム状基板 40 が半接着性を有する場合は、何度も接着・剥離が可能となるため、電極パッド 22 とビアホール 17 内の導電部材 14 との位置合わせ作業が容易で、しかも位置合わせの精度を高くすることが可能となる。

(実施の形態 1-5)

図 7 は実施の形態 1-5 に係る表示パネルの断面図である。本実施の形態 1-5 は、一層の樹脂基板 10 に代えて多層基板 50 を用いたことを特徴とするものである。具体的には、図 7 に示すように、多層基板 50 は、最上層表面にバス配線 12 が形成されるとともに、内層表面にもバス配線 12 が形成され、各層に形成されるビアホール 17 を介して上下のバス配線 12 が選択的に接続されて立体配線構造となっている。これにより、バス配線 12 の設計自由度が大きくなり、信号線の種類に応じた複数のバス配線 12 を容易に配置することが可能となる。特に、複数種類の個別配線網 21 とこれに対応するバス配線 12 とを接続する場合に、他のバス配線 12 と交差する場合が生じるが、かかる場合のバス配線 12 の形成が容易となる。

(実施の形態 1-1 ~ 実施の形態 1-5 の補足説明)

① 上記実施の形態における導電性接着剤 16 は、異方性導電フィルム (Anisotropic conductive film) であってもよく、また、銀ベ

ー ストであってもよい。

また、導電性接着剤 1 6 は熱可塑性を有する材料であってもよく、この場合は樹脂基板とアレイ基板とは何度も接着・剥離が可能となり、樹脂基板とアレイ基板との位置合わせが容易となる。なぜなら、  
5 接着剤を半硬化状態とした後、再度樹脂基板とアレイ基板との位置合わせの補正を行い、その後に接着剤を例えば 1 2 0 °C ~ 1 5 0 °C の範囲に設定して本硬化を行い、樹脂基板とアレイ基板とを接着固定することが可能となるからである。

②また、上記実施の形態ではバンプ電極 1 5 が用いられたけれども、  
10 も、バンプ電極 1 5 に代えて、導電部材 1 4 の下端部をビアホールから突出させ、この突出部を電極パッド 2 2 に直接接続するように構成してもよい。

③上記の例では液晶表示装置について説明したけれども、本発明は、P D P (Plasma Discharge Panel) や E L (Electro Luminescent)  
15 等の発光型マトリクスパネルを備えた表示装置にも適用することができる。

## [ 第 2 の 発 明 群 ]

第 1 の発明群ではアレイ基板の周縁部にバス配線を有する樹脂基板を実装したけれども、第 2 の発明群では、印刷よりバス配線を形成するようにしたことを特徴とするものである。なお、第 2 の発明群の液晶表示装置では、上記の第 1 の発明群と同様に駆動回路が多結晶シリコン半導体層で構成された内蔵駆動回路一体型の液晶表示装置である。

先ず、図 8 及び図 9 を参照して、第 2 の発明群の原理を説明した後、  
25 種々の実施の形態について詳細に説明する。

図 8 ( A ) は第 2 の発明群に係る液晶表示装置の平面図であり、



図 8 ( B ) は第 2 の発明群に係る液晶表示装置の断面図であり、図 9 は図 8 ( B ) の拡大断面図である。

図 8 及び図 9 において、101 は薄膜トランジスタを形成しているアレイ基板、102 は対向基板、103 は外部回路との接続のためのフレキシブル配線板、104 はバス配線のための多層配線形成部、105 はフレキシブル配線板とバス配線との接続のために使用する異方導電樹脂、106 は層間絶縁膜、107 はアレイ基板と対向基板間をシールするためのシール材、108 はバス配線、109 はビアホール、110 はアレイ基板上に設けた薄膜トランジスタを含む薄膜配線領域、である。

本発明のポイントは、図 9 に示したようにアレイ基板上に形成した薄膜トランジスタを含む薄膜配線領域上に層間絶縁膜を形成した後、印刷方式で必要な個所のみに導電性ペーストを用いてバス配線を印刷することでアレイ基板上にて多層配線接続を実現し、フレキシブル配線板とプリント基板の大幅な小型化を達成し、液晶装置の薄型化を実現したものである。

以下、具体的な構成及び製造方法を実施の形態に則して説明する。

#### (実施の形態 2 - 1)

図 10 は、実施の形態 2 - 1 における液晶表示装置の製造方法の主要な作成工程を示す製造工程断面図である。

図 10 において、121 は透明絶縁性基板で、本形態ではコーニング社のガラス基板を用いた。122 は下地膜で、本形態ではプラズマ CVD により SiO<sub>2</sub> 膜を約 400nm 形成した。123 はポリシリコン膜であり、本形態ではアモルファスシリコン膜を形成後エキシマレーザにより溶融させてポリシリコン膜を作成した。124 はゲート絶縁膜で、本発明の実施の形態ではプラズマ CVD により Si

5 O<sub>2</sub>膜を約90nm形成した。125はゲート電極で、本形態ではMo-W合金膜をスパッタリングにより形成した。126はポリシリコン膜123、ゲート絶縁膜124、及びゲート電極125を含めて構成した画素トランジスタである。なお、図10中には駆動回路を構成するp型トランジスタ、n型トランジスタが同様な構成で形成されている。

127は層間絶縁膜で、本形態ではプラズマCVDによりSiO<sub>2</sub>膜を約400nm形成した。128は保護膜で、本発明の実施の形態ではプラズマCVDによりSiNx膜を約500nm形成した。129は平坦化膜で、本発明の実施の形態では感光性のアクリル系材料を塗布方式により約3μm形成した。130は透明導電膜であり、本形態ではインジウムとスズの合金膜を約75nm形成した。108はバス配線であり、本発明の実施の形態では京都エレクトックス(株)製の銀ペースト(DD-1662B-69)を用いて、スクリーン印刷で形成した。132はバス配線108を保護するための印刷保護膜で、同様にアクリル系樹脂を用いてスクリーン印刷により形成した。133はソース・ドレイン電極で、本形態ではTi/Al二層構成膜をスパッタリングにより作製した。

以下、本発明の製造方法を示す実施形態について説明する。

20 図10(A)に示すように、画素部を含むアレイ基板を従来構成と同様にして作製するが、保護膜のパターン形成時に駆動回路部を含む薄膜配線領域で外部回路と接続する配線電極部分(電極パッドに相当する)も同時にエッチングしてビアホール109を形成しておく。

25 この後、図10(B)に示すようにバス配線108をスクリーン印刷し、180℃、30分の硬化により形成する。さらにその後、図10(C)

に示すようにバス配線 108 の保護のために、スクリーン印刷で印刷保護膜 132 を形成する。

以上の製造方法によりアレイ基板上にバス配線のための多層配線形成部 104 が形成される。

- 5      本形態で作成したバス配線はシート抵抗が約  $0.02 \text{ m}\Omega / \square$  で、印刷幅としては  $100 \text{ }\mu\text{m}$  としたため、信号及び電源配線としては十分低い抵抗が実現できた。本形態では、従来アレイ基板で使用されていた保護膜 128 をそのまま多層配線形成部 104 の層間絶縁膜として用いたため、新たに層間絶縁膜を形成する必要がなく、製造方法としては非常に簡単なことが特徴である。

(実施の形態 2 - 2)

- 図 11 は、実施の形態 2 - 2 の製造方法について説明するための製造工程の要部断面図である。本形態でも、コーニング社のガラス基板 121 を用いて、下地膜としてプラズマ CVD により  $\text{SiO}_2$  膜を約  $400 \text{ nm}$  形成した。123 はポリシリコン膜、124 はゲート絶縁膜、125 はゲート電極膜で、これらを含めて画素トランジスタ 126 が構成されている。駆動回路部には p 型、n 型のトランジスタと各種配線による薄膜配線領域が設けられている。127 は層間絶縁膜、128 は保護膜、130 は透明導電膜、108 はバス配線、133 はソース・ドレイン電極である。これらは、実施の形態 2 - 1 と同様なプロセス、膜厚で作製したので、詳細は省略する。34 は印刷層間絶縁膜で、本形態ではポリイミド系樹脂をスクリーン印刷して  $300^\circ\text{C}$ 、20 分の硬化により形成した。

以下、各要部断面図を用いて製造方法について説明する。

- 25      図 11 (A) に示すように、保護膜 128 をパターン形成する時に駆動回路部の所定部分も同時にエッチング加工してビアホール 10

9を形成し、その後保護膜128の画素部上に透明導電膜30を成膜するとともに所定形状にパターン加工する。

次に図11(B)に示すように、駆動回路部を含む薄膜配線領域上に印刷により印刷層間絶縁膜134を形成した。このとき、印刷層間絶縁膜134の膜厚は約 $15\mu\text{m}$ とした。この時の印刷時には、保護膜128であけたビアホール部と印刷形成するビアホール部が概略一致するようにパターン合せが要求される。その後図11(C)に示すように、バス配線をスクリーン印刷で印刷してプロセスが完了する。

10      このようにして作製した液晶表示装置は、大電流が流れるバス配線と薄膜トランジスタがある駆動回路部とは低誘電率のポリイミドを $15\mu\text{m}$ と厚く形成して分離したので、電磁界的な影響を防止でき高速の駆動においても十分対応できるものが実現できた。

#### (実施の形態2-3)

15      図12は、実施の形態2-3の製造方法について説明するための製造工程の要部断面図である。本形態でも薄膜トランジスタを含む工程は実施の形態2-1と同様にして作製した。121はコーニング社のガラス基板、122は下地膜、123はポリシリコン膜、124はゲート絶縁膜、125はゲート電極で、ポリシリコン膜123、ゲート絶縁膜124及びゲート電極125から画素トランジスタ126が構成されている。127は層間絶縁膜、128は保護膜、129は平坦化膜、130は透明導電膜、108はバス配線、132は印刷保護膜、133はソース・ドレイン電極である。

25      以下、要部断面図を基に製造プロセスを説明する。図12(A)に示すように、保護膜128について、駆動回路部のバス配線108と接続する個所を含めて画素領域をフォトリソとエッチングプロセ

スによりビアホール 109 を形成する。その後、アクリル系の感光性樹脂を塗布して平坦化膜 129 を約 5  $\mu$ m の厚さに作成し、フォトリソとエッチングにより同様にビアホール 109 を形成する。この時、駆動回路部のバス配線 108 との接続部が開口するようにパターン形成することは当然である。さらにその後、透明導電膜 130 として ITO (インジウムスズ酸化物) をスパッタリングにより形成し、画素部及び駆動回路部の接続電極部とのコンタクトを作成する。

次に、図 12 (B) に示すようにバス配線をスクリーン印刷で印刷形成する。その後図 12 (C) に示すように、バス配線 108 を保護するためにアクリル系樹脂をスクリーン印刷して印刷保護膜 132 を形成して液晶表示装置が完成する。

本形態ではバス配線 108 の層間絶縁膜として高開口率化のために作成する平坦化膜を用い、かつ駆動回路部の接続電極とのコンタクトを透明導電膜で行っているため、バス配線では駆動回路部の接続電極と直接コンタクトさせる必要がなく、ビアホールはフォトリソで加工して十分小さくでき、より小型化と接続電極部との信頼性の高いコンタクトを得られることが特徴である。

なお、本形態ではトップゲート型構造の液晶表示装置を例にして説明したが、本発明の実施形態はトップゲート型構造に限定されるものではなく、ボトムゲート構造でも同様に実現されることは説明するまでもない。

また、バス配線として銀ペーストを用いたが、約 400  $^{\circ}$ C 以下で硬化可能な材料でシート抵抗が約 0.05  $m\Omega$  /  $\square$  程度以下であれば、銅、金、あるいはこれらの合金等色々な導電材料が使用可能である。

また、さらにスクリーン印刷を例に説明したが、印刷手法としてスクリーン印刷に限定されるものでなく、描画方式、凹版印刷方式やインクジェット印刷方式等も使用可能である。

また更に、印刷層間絶縁膜としてもポリイミド系材料だけでなく、  
5 上記実施形態でも説明したようにアクリル系感光性樹脂等 400℃  
以下の温度で硬化でき、かつ印刷あるいは塗布形成できる材料であれば特に制約はない。

本発明の実施の形態では、バス配線の保護のために印刷保護膜を形成してより信頼性の高い液晶装置を作成する方式について説明し  
10 たが、これは本発明の特許としての必須要件ではないことを付け加えておく。

また、上記の例では液晶表示装置について説明したけれども、本発明は、PDP (Plasma Discharge Panel) や EL (Electro Luminescent) 等の発光型マトリクスパネルを備えた表示装置にも適用  
15 することができる。

### [ 第 3 の発明群 ]

第 3 の発明群は、アクティブマトリックス基板内にバス配線を埋め込むことを特徴とするものである。以下に、第 3 の発明群の具体的な構成を実施の形態 3-1 ~ 実施の形態 3-6 を例示して説明する。  
20

(実施の形態 3-1)

図 13 は実施の形態 3-1 に係る液晶表示装置の構成を示す平面図であり、図 14 は液晶表示装置の回路図である。実施の形態 3-1 として、表示画素数が 1024 × 768 (いわゆる XGA モード)、  
25 画素サイズが 57 μm 角で、赤、緑、および黄のアナログ画像信号が入力されてカラー画像を表示する 12.1 インチ型の液晶表示装

置について説明する。なお、本実施の形態 3 - 1 の液晶表示装置では、上記の第 1 の発明群及び第 2 の発明群と同様に駆動回路が多結晶シリコン半導体層で構成された内蔵駆動回路一体型の液晶表示装置である。

5       この液晶表示装置は、図 1 3 に示すように、アクティブマトリックス基板 2 1 2 と、対向基板 2 1 3 と、基板 2 1 2 , 2 1 3 間に配置された液晶層 2 1 1 と、基板 2 1 2 , 2 1 3 の両側に配置された偏光板 2 1 4 , 2 1 5 と、偏光板 2 1 4 の外方側に配置されたバックライト 2 1 6 とを有する。上記対向基板 2 1 3 はガラス基板である。  
10       この対向基板 2 1 3 の内側面には、マイクロカラーフィルタ 2 1 7、および対向電極 2 1 8 が形成されている。一方、アクティブマトリックス基板 2 1 2 は、ガラス基板 2 1 0 上に、薄膜トランジスタで構成されるマトリックスアレイを備えた液晶表示部 2 2 1 と、液晶表示部 2 2 1 を駆動する駆動回路 2 2 4 ~ 2 2 6 とが形成されて構成されている。具体的説明すれば、アクティブマトリックス  
15       基板 2 1 2 の液晶表示部 2 2 1 には、各画素に対応して、画素スイッチング T F T (薄膜トランジスタ) 2 2 2、および画素電極 2 2 3 が形成されている。また、アクティブマトリックス基板 2 1 2 における液晶表示部 2 2 1 の周辺部には、駆動回路 2 2 4 ~ 2 2 6 が設  
20       けられている。

      上記駆動回路 2 2 4 は、図 1 4 に示すように、シフトレジスタ 2 3 1、およびバッファ 2 3 2 を備え、走査信号線 (ゲートライン) 2 3 3 を介して画素スイッチング T F T 2 2 2 のゲート電極に接続され、クロック信号 C L x、反転クロック信号 C L x \*、およびスタートパルス (垂直同期信号) S T v に応じて、各走査信号線 3 3  
25       に順次走査信号パルスを出力するようになっている。

一方、駆動回路 2 5 は、4 組のシフトレジスタ 2 3 4 ~ 2 3 7、バッファ 2 3 8、およびアナログスイッチ（トランスファゲート）2 3 9 を備え、画像信号線（ソースライン）2 4 0、および画素スイッチング T F T 2 2 2 を介して、表示画面左右方向の奇数番目の  
5 画素電極 2 2 3 に画像信号電圧を印加するようになっている。また、駆動回路 2 2 6 は、駆動回路 2 2 5 と同様の構成を有し、画像信号線 2 4 1 を介して、偶数番目の画素電極 2 2 3 に画像信号電圧を印加するようになっている。なお、駆動回路 2 2 6 の構成および動作は、駆動回路 2 2 5 と同様であるため、以下、主として駆動回路 2  
10 2 5 についてのみ説明し、駆動回路 2 2 6 についての詳細な説明は省略する。

駆動回路 2 2 5 のシフトレジスタ 2 3 4 ~ 2 3 7 は、それぞれ、図 1 5 に示すように複数のパスゲート（3 ステートバッファ）2 4 2、およびインバータ 2 4 3 から構成され、図 1 6 に示すように、  
15 クロック信号 C L 1 ~ C L 4、反転クロック信号 C L 1 \* ~ C L 4 \*、およびスタートパルス（水平同期信号）S T h に応じて、パルス幅が 2 0 0 n s で 5 0 n s ずつ位相のずれた（1 5 0 n s ずつオーバーラップした）パルス信号を順次シフトして出力するようになっている。

20 また、駆動回路 2 2 5 のアナログスイッチ 2 3 9 は、シフトレジスタ 2 3 4 ~ 2 3 7 から出力されるパルス信号に応じて、アナログ画像信号線 D 0 ~ D 2 から入力される画像信号電圧を画像信号線 2 4 0 に出力するようになっている。ここで、シフトレジスタ 2 3 4 …からは、前述のように 1 5 0 n s ずつオーバーラップしたパルス信  
25 号が出力され、アナログスイッチ 2 3 9 からは、上記オーバーラップ期間に 4 本ずつの画像信号線 2 4 0 に同一の画像信号が出力される



ことにより、各画素電極 2 2 3 と対向電極 2 1 8 との間には、各パルス信号の最初の 1 5 0 n s の期間にプリチャージが行われた後、最後の 5 0 n s の期間に出力される画像信号に応じた電荷が蓄積される。すなわち、シフトレジスタ 2 3 4 ~ 2 3 7 が 4 組に分割されることにより、ドットクロックが 5 0 n s の場合と同等の速度（一定のフレーム周期）で、図 1 7 に示すように、実質的に 2 0 0 n s の書き込み時間が得られ、画素数が多くても確実に画像信号の書き込みが行われるようになっている。

また、上記駆動回路 2 2 5 に電源電圧を供給するバス配線として  
10 の + V 電源ライン 2 5 1 及び - V 電源ライン 2 5 2 は、ガラス基板 2 1 0 に埋め込まれた構造となっている。なお、駆動回路 2 2 6 に関するバス配線としての + V 電源ライン 2 5 3 及び - V 電源ライン 2 5 4 も、電源ライン 2 5 1 , ライン 2 5 2 と同様にガラス基板 2 1 0 に埋め込まれた構造となっている。以下の説明においては、「電  
15 源ライン」とは、駆動回路部に含まれる各回路素子に電源をそれぞれ供給する個別配線網ではなく、個別配線網に共通に接続されるバス配線を意味する用語として用いる。

なお、駆動回路 2 2 4 に関する電源ラインについては、電圧低下が駆動回路 2 2 5 , 2 2 6 程問題とならないため、本実施の形態で  
20 は埋め込み配線構造としていないが、勿論、駆動回路 2 2 4 に関する電源ラインについても埋め込み配線構造とするのが望ましい。

このように電源ラインを埋め込み配線構造とすることが、本発明の主たる特徴である。以下、図 1 8 ~ 図 2 1 を参照して、この埋め込み配線構造について説明する。

25 なお、図 1 8 はアクティブマトリックス基板 2 1 2 の簡略化した平面図であり、図 1 9 は図 1 8 の X 1 - X 1 矢視断面図であり、図

20 は図 18 の X2 - X2 矢視断面図であり、図 21 は図 18 の X3 - X3 矢視断面図である。

ガラス基板 210 の両側周辺部には、凹溝 260, 261; 262, 263 が形成されている。この凹溝 260, 261 は駆動回路 225 に近接して一直線状に延びており、凹溝 262, 263 は駆動回路 226 に近接して一直線状に延びている。そして、凹溝 260 には +V 電源ライン 251 として機能する金属配線が埋め込まれ、凹溝 261 には -V 電源ライン 252 として機能する金属配線が埋め込まれ、凹溝 262 には +V 電源ライン 253 として機能する金属配線が埋め込まれ、凹溝 263 には -V 電源ライン 254 として機能する金属配線が埋め込まれている。そして、+V 電源ライン 251 は接続電極 266... を介して駆動回路 225 (正確には駆動回路 225 の電源供給用電極パッド) と接続されており、-V 電源ライン 252 は接続電極 265... を介して駆動回路 225 (正確には駆動回路 225 の電源供給用電極パッド) と接続されており、これにより駆動回路 225 に電源が供給されるように構成されている。また、同様に、+V 電源ライン 253 は接続電極 267... を介して駆動回路 226 (正確には駆動回路 225 の電源供給用電極パッド) と接続されており、-V 電源ライン 254 は接続電極 268... を介して駆動回路 226 (正確には駆動回路 225 の電源供給用電極パッド) と接続されており、これにより駆動回路 226 に電源が供給されるように構成されている。なお、金属配線の表面には絶縁層 277 (図 20 及び図 21 参照) が形成されており、これにより接続電極 266 が電源ライン 252 と接触することが防止されている。

このような絶縁層 277 は、図示しないが、電源ライン 253, 254 に関しても設けられており、接続電極 67 が電源ライン 254

と接触することが防止されている。

5       なお、図 2 2 に示すように電源ライン 2 5 1 , 2 5 2 の同一位置から接続電極 2 6 6 , 2 6 5 を介して、電源ライン 2 5 1 , 2 5 2 を電源供給用電極パッド 2 2 5 a , 2 2 5 b と接続するように構成してもよい。

      このように電源ラインを埋め込み配線構造とすることにより、以下の効果を奏する。

      ①凹溝の深さを大きくして金属配線層の膜厚を大きくすることにより、電源ラインの配線抵抗を 0 . 1 オーム程度にすることが容易  
10       にできるので、シフトレジスタ 2 3 4 …等に 1 6 0 m A 程度の貫通電流が流れても、電源電圧の電圧降下を小さく抑え、駆動回路 2 2 5 を確実に動作させることができる。なお、参考までに述べると、例えば基板表面に薄膜状の電源ラインを形成して抵抗値を小さくする場合には、基板周辺部の面積を大きくする必要があり、そのため、  
15       狭額縁化の液晶表示パネルを得ることができない。この点に関して、本実施の形態では、周辺部分の面積を増加させることなく電源ラインの抵抗値を下げるできるので、狭額縁化の液晶表示パネルを実現することが可能となる。

      ②また、金属配線層の膜厚を大きくしても、金属配線層が基板内  
20       に埋め込まれた構造であるため、電源ラインが基板表面から突出していない。従って、金属配線層と駆動回路を接続する接続配線や、これらを被覆して形成される絶縁層に、段差が生じることがなく、アクティブマトリックス基板表面の平坦化がなされている。従って、セルギャップの均一性が維持され、表示特性の劣化を招くこともな  
25       い。なお、参考までに述べると、単に電源ラインの抵抗値を下げるためであれば、基板上で膜厚の大きい金属配線層を形成すればよい。

しかし、このような場合には、電源ラインを構成する金属配線層が基板表面から大きく突出した形状となるため、金属配線層と駆動回路を接続する接続配線や、これらを被覆して形成される絶縁層に、段差が生じる。そして、このことに起因して、基板と基板を貼り合  
5 わせてセルギャップを一定値にすべく基板両側から押圧する際に、基板に撓みが生じてセルギャップが基板面内で均一に維持されなくなる。この点に関して、本実施の形態では、上記したように金属配線層が埋め込み構造となっているため、基板表面の平坦化が達成され、セルギャップの均一性が維持されることになる。

10      なお、金属配線層の膜厚は、電源電圧や液晶表示パネルの大きさを考慮して設定すればよい。

次いで、上記埋め込み電極構造の製造方法について説明する。

(1) 先ず、図23(1)に示すように、駆動回路224～226や液晶表示部221が形成されたガラス基板210上に全面を覆っ  
15 てレジスト270を塗布する。

(2) 次いで、図23(2)に示すように、ガラス基板210上の窪みを作成する部分のレジスト270を除去する。

(3) 次いで、図23(3)に示すように、弗酸2%、グリセリン8%を含む水溶液を用いて約2分間エッチングを行い、深さ約15  
20 00nmの窪みを作る。続いてスパッタによりAlからなる金属膜75を1500nmの厚さで形成する。

(4) 次いで、図23(4)に示すように、レジスト270を剥離する。これにより、電源ライン251～254に相当する金属配線276が、凹溝260～263に埋め込まれた状態が得られる。

25      (5) 次いで、フォトリソグラフィ法により、図20及び図21に示すように絶縁膜277及びコンタクトホール278を形成し、

埋め込まれた金属配線と駆動回路とを接続する接続電極 265 ~ 268 を形成する。これにより、図 23 (5) に示すように、電源ライン 251 ~ 254 が埋め込まれたアクティブマトリックス基板 212 が作製される。

- 5       また、埋め込まれる金属材料は、Al のほかに Ni、Cr、Mo、Ta などを使用するようにしてもよい。

(実施の形態 3 - 2)

実施の形態 3 - 2 による製造プロセスを示す。基本的な回路構成及び TFT をガラス基板上に作成するプロセスは実施形態 3 - 1 と  
10   同一である。但し、実施の形態 3 - 1 では、エッチング液を用いた化学的エッチング法により凹溝を形成するようにしたけれども、本実施の形態 3 - 2 ではサンドブラスト法により凹溝を形成するようにした点が相違する。以下、図 24 を参照して、具体的に説明する。

(1) 先ず、図 24 (1) に示すように、駆動回路 224 ~ 226  
15   や液晶表示部 21 が形成されたガラス基板 210 上に全面を覆ってレジスト 270 を塗布する。

(2) 次いで、図 24 (2) に示すように、ガラス基板 210 上の窪みを作成する部分のレジスト 270 を除去する。

(3) 次いで、図 24 (3) に示すように、レジスト 270 をマスク  
20   として硬質粒子を斜め方向から吹きつけるサンドブラスト法を用いて約 2 分間エッチングを行う。これにより、ガラス基板 210 においてレジストパターンのレジスト部分に覆われていない部分は、吹き付けられた細かい硬質粒子で埋削され、深さ約 1500 nm の窪み (凹溝 260 ~ 263 に相当する) が形成される。

25   (4) 次いで、図 24 (4) に示すように、スパッタ法により、Al からなる金属層 275 を 1500 nm の厚さで形成する。

(5) 次いで、図 2 4 (5) に示すように、レジスト 2 7 0 を剥離する。これにより、電源ライン 2 5 1 ~ 2 5 4 に相当する金属配線 2 7 6 が、凹溝 2 6 0 ~ 2 6 3 に埋め込まれた状態が得られる。

(6) 次いで、フォトリソグラフィ法により、図 2 0 及び図 2 1 5 に示すように絶縁膜 2 7 7 及びコンタクトホール 2 7 8 を形成し、埋め込まれた金属配線と駆動回路とを接続する接続電極 2 6 5 ~ 2 6 8 を形成する。これにより、図 2 4 (6) に示すように、電源ライン 2 5 1 ~ 2 5 4 が埋め込まれたアクティブマトリックス基板 2 1 2 が作製される。

10      このように本実施の形態 2 では、凹溝をサンドブラスト法により形成するようにしたので、エッチング溶液を用いて凹溝を形成する実施の形態 3 - 1 に比べて、エッチングレートが 1 桁以上高く、処理速度が速いというメリットがある。なお、加工精度面からは、実施の形態 3 - 1 の方が、実施の形態 3 - 2 より良好である。従って、  
15      実施の形態 3 - 1 による化学的エッチング法によれば、凹溝の深さ方向による制御性が高く、任意の深さにコントロールすることが可能となる。よって、製造プロセスに要する時間の短縮化を重視する場合は、実施の形態 3 - 2 のような物理的エッチング法を用い、凹溝の深さの精度を重視する場合は実施の形態 3 - 1 のように化学的  
20      エッチング法を使用すればよい。

(実施の形態 3 - 3)

図 2 5 は実施の形態 3 に係るアクティブマトリックス基板の簡略化した断面図である。前述の実施の形態 3 - 1 及び 3 - 2 は、ガラス基板をエッチングあるいはサンドブラスト法により直接加工した  
25      ものである。これに対し、本実施の形態 3 - 3 ではガラス基板 2 1 0 を加工せず、樹脂 2 8 0 を基板上に塗布しこの樹脂 2 8 0 内に金

属配線 2 7 6 を埋め込むようにしたものである。なお、電源ライン 2 5 2 に相当する金属配線 2 7 6 と駆動回路 2 2 5 との間には、絶縁層（図 2 5 では図示していない）が設けられており、この絶縁層に形成されているコンタクトホールを挿通する接続電極 2 6 5（図 2 5 では図示していない）を介して電源ライン 2 5 2 と駆動回路 2 2 5 が接続されている。また、電源ライン 2 5 2, 2 5 1 に相当する金属配線 2 7 6, 2 7 6 の表面には、絶縁層（図 2 5 では図示していない）が形成されており、この絶縁層に形成されているコンタクトホールを挿通する接続電極 2 6 6（図 2 5 では図示していない）を介して電源ライン 2 5 1 と駆動回路 2 2 5 が接続されている。このような電源ライン 2 5 2, 2 5 1 に関する構造は、電源ライン 2 5 2, 2 5 1 に関しても設けられている。従って、接続電極 2 6 6 が電源ライン 2 5 2 に接触することではなく、また、接続電極 2 6 7 が電源ライン 2 5 4 に接触することはない。

このような構成の埋め込み配線構造であっても、実施の形態 3-1 及び 3-2 と同様に電源ライン 2 5 1 ~ 2 5 4 の抵抗値を小さくすることができると共に、樹脂層 2 8 0 が平坦化層の役割を果たすため、セルギャップを均一に保持することが可能となる。なお、後述する実施の形態 3-4 ~ 3-6 も、基本的には本実施の形態 3-3 と同様に、ガラス基板上に樹脂層が形成され、この樹脂層内に電源ラインを構成する金属配線が埋め込まれた構造となっている。従って、後述する実施の形態 3-4 ~ 3-6 においても、実施の形態 3-3 と同様に電源ラインの抵抗値を小さくできると共に、セルギャップを均一に保持することが可能となる。

以下に、埋め込み配線構造の製造方法を図 1 3 を参照して具体的に説明する。

(1) 先ず、図 2 6 (1) に示すように、ガラス基板 2 1 0 上に画素電極を含むアクティブマトリックスパターン（液晶表示部 2 2 1 に相当する）及び液晶パネルを駆動するための周辺パターン（駆動回路 2 2 4 ~ 2 2 6）を形成した後、感光性のアクリル樹脂 2 8 0  
5 を、たとえばスピン塗布法により 1 5 0 0 n m の膜厚になるようにガラス基板 2 1 0 全面に塗布する。

(2) 次いで、図 2 6 (2) に示すように、露光およびアルカリ現像を行って、駆動部分の周辺に電源部分を含めた、共通配線部分の溝を残すようにパターンニングした。この場合、基板を全面露光（g、  
10 h、i 線光源で 3 0 0 m J）を行うことにより、感光性のアクリル樹脂を脱色して透明化した。なお、上記 g、h、i 線とは、露光用水銀灯ランプの発光輝線スペクトルで所定の波長のものをいい、効率を考慮すると、エネルギーの一番強い i 線を使用するのがよい。

(3) 次いで、図 2 6 (3) に示すように、前記樹脂 2 8 0 に埋め込  
15 む A 1 からなる金属層 7 5 をスパッタ法により 1 5 0 0 n m の厚さで形成する。

(4) 次いで、図 2 6 (4) に示すように、蒸着した金属層 2 7 5 を電源を含む共通電極の配線パターン及び前記駆動回路に接続するためのパターンとして残るようにエッチングを除去する。そして、  
20 接続電極 2 6 5，2 6 6；2 6 8，2 6 7 及び接続電極 2 6 5，2 6 6；2 6 8，2 6 7 に関連した絶縁層を形成する。これにより樹脂 2 8 0 内に電源ライン 2 5 1 ~ 2 5 4 が埋め込まれたアクティブマトリックス基板 2 1 2 が作製される。

上記製造プロセスによれば、ガラス基板 2 1 0 をエッチングする  
25 必要がないので、実施の形態 3 - 1 に比較して加工精度が向上すると共に、埋め込み電極として形成する金属配線の厚さの制御性が向



上する。

(実施の形態 3 - 4)

図 27 は実施の形態 3 - 4 に係るアクティブマトリックス基板の製造工程図である。本実施の形態 3 - 4 では、スクリーン印刷により周辺 5 の配線パターンを形成することを特徴とする。具体的には、以下のようにして作製する。

(1) 先ず、図 27 (1) に示すように、ガラス基板 210 上に画素電極を含むアクティブマトリックスパターン(液晶表示部 221)及び液晶パネルを駆動するための周辺パターン(駆動回路 224 ~ 226)を形成した後、電源を含む共通配線部として、熱硬化型の導電性樹脂を用いてスクリーン印刷を行い、電源ライン 252, 254 及び接続電極 265, 268 に相当する金属層 276A を形成する。次いで、絶縁層(図示せず)を金属層 276A 上に形成し、次いで、電源ライン 251, 253 及び接続電極 265, 268 に 15 相当する金属層 276A を形成する。これにより、金属層 276A のうちの接続電極 266 に相当する部分が、電源ライン 252 に相当する部分と接触することが防止される。また、同様に、金属層 276A のうちの接続電極 267 に相当する部分が、電源ライン 254 に相当する部分と接触することが防止される。

20 (2) 次いで、図 27 (2) に示すように、スクリーン印刷を行った後、150℃~180℃の温度を、この導電性樹脂 276A に加えて硬化させる。樹脂を硬化させる温度は、樹脂の種類によって調節する。

(3) 次いで、図 27 (3) に示すように、上記配線を形成した後、25 絶縁性の樹脂 280 を同様にスクリーン印刷により配線間に埋め込み平坦化を図る。

このようにスクリーン印刷法を用いることにより、パターン形成に要する時間が短い。また、フォトリソグラフィ法に比べて装置コストが極めて安価であり、特に大型液晶表示パネル用のアクティブマトリックス基板のように電源ラインの長い場合での処理に適している。更に、精度面においては、フォトリソグラフィ法に比べて劣るけれども、電源ラインなどの高い精度の要求のない配線パターンに対して有効である。

なお、平坦化膜形成に際しては、スクリーン印刷法の他にスピンコート法を用いて平坦化を図ることも可能である。上記プロセスを採用することにより  $1\text{ }\mu\text{m}$  以上の厚みを持った導電性樹脂による配線を容易に形成できる。

(実施の形態 3 - 5)

図 15 は実施の形態 3 - 5 に係るアクティブマトリックス基板の製造工程図である。本実施の形態 3 - 5 は、金属配線材料としては金属細線 281 を使用し、この金属細線を埋め込むことを特徴とする。本実施の形態では、金属細線 281 の径は  $50\text{ }\mu\text{m}$  に設定されている。

具体的には、以下のようにして作製する。

(1) 先ず、図 28 (1) に示すように、ガラス基板 210 上に画素電極を含むアクティブマトリックスパターン(液晶表示部 221)及び液晶パネルを駆動するための周辺パターン(駆動回路 224 ~ 226)を形成する。

(2) 次いで、図 28 (2) に示すように、電源ラインに相当する太さ  $50\text{ }\mu\text{m}$  の鉄線である金属細線 281 をガラス基板 210 周辺部に形成する。

(3) 次いで、図 28 (3) に示すように、金属細線 281 と駆動

回路 2 2 5 , 2 2 6 とを接続する接続電極 2 6 5 ~ 2 6 8 を形成する。なお、接続電極 2 6 6 と電源ライン 2 5 2 に相当する金属細線 2 8 1 との間に、絶縁層を形成し、接続電極 2 6 8 と電源ライン 2 5 1 に相当する金属細線 2 8 1 との間に、絶縁層を形成しておく。

- 5 (4) 次いで、図 2 8 (4) に示すように、絶縁性の樹脂 2 8 0 をスクリーン印刷により配線間に埋め込み平坦化を図る。

なお、平坦化膜形成に際しては、スクリーン印刷法の他にスピンコート法を用いて平坦化を図ることも可能である。

- また、図 2 9 に示すように、電源ライン 2 5 1 , 2 5 2 の同一位置から接続電極 2 6 5 , 2 6 6 を介して、電源ライン 2 5 1 , 2 5 2 を電源供給用電極パッド 2 2 5 a , 2 2 5 b と接続するように構成してもよい。

- なお、金属細線 2 8 1 の材料としては、T i 、C r 、金などを用いてもよく、このような材料であればさらに抵抗値を下げることも可能となる。

- このようにして、本実施の形態 3 - 5 では、予め作製されている金属細線を使用することにより、配線パターン作製工程が不要となり、製造工程数の低減が図れる。また、金属細線の径を変更すれば、電源ラインの抵抗値を設定できる。従って、予め抵抗値が設定されてい金属細線を選択すれば、希望する抵抗値が得られる。そのため、抵抗値の変更が容易である。また、製造コストも安価である。

(実施の形態 3 - 6)

- 図 3 0 は実施の形態 3 - 6 に係るアクティブマトリックス基板の製造工程図である。実施形態 3 - 6 の特徴は、アクティブマトリックスアレイが形成されているガラス基板 2 1 0 周辺に、メッキ工法にてバス配線の厚膜を形成したことを特徴とする。このようなメッ

- キ工法により、低抵抗金属を含む積層配線構造を形成することができ、この結果、更に電源ラインの低抵抗化を実現することができる。なお、電源ライン 252, 254 に相当する金属配線厚膜の最下層に位置する銅箔層 290 と駆動回路 225, 226 間には、接続電
- 5 極 265, 268 に相当する部分を切欠いた絶縁層（図示せず）が介在している。また、電源ライン 251, 252; 253, 254 に相当する金属配線厚膜の最上層に位置する金ニッケルメッキ層 292 上には、絶縁層（図示せず）が形成されており、しかも電源ライン 251, 253 に相当する金ニッケルメッキ層 292 上の絶縁
- 10 層にはコンタクトホールが形成され、このコンタクトホールを介して接続電極 266, 267 が駆動回路 225, 226 と接続している。従って、接続電極 266, 267 が電源ライン 252, 254 に相当する金ニッケルメッキ層 292 と接触することが防がれている。
- 15 以下に、具体的な製造方法を説明する。
- （１）先ず、図 30（１）に示すように、ガラス基板 210 上に画素電極を含むアクティブマトリックスパターン（液晶表示部 221）及び液晶パネルを駆動するための周辺パターン（駆動回路 224 ~ 226）を形成する
- 20 （２）次いで、図 30（２）に示すように、電源を含む共通配線部分として銅箔層 290、銅メッキ層 291 及び金ニッケルメッキ層 292 を積層して例えば 1  $\mu$ m 以上の厚さの金属配線層 276 を形成する。具体的に説明すれば、フォトリソグラフィー法により下地金属を形成する部分を除いてレジストパターンを形成し、次いで、
- 25 下地金属となる銅の薄膜を形成し、次いで、リフトオフにより必要部分以外の部分を剥離する。次いで、残った銅薄膜を下地膜として

硫酸銅を主成分とした溶液中でメッキ浴を行い下地薄膜上に、自己整合的に銅メッキを行う。これにより、銅箔層 290 上に銅メッキ層 291 が形成される。さらに、上記と同様なメッキ法を用いて銅メッキ層 291 上に金ニッケルメッキ層 292 を形成する。

- 5 (3) 次いで、接続電極 266, 267 (図示せず) 及び絶縁層 (図示せず) 等を形成した後、図 30 (3) に示すように、絶縁性の樹脂 280 をスクリーン印刷により配線間に埋め込み平坦化を図る。

なお、メッキの材料としては上記の他に、ニッケルメッキ、クロムメッキ及びアルミニウムメッキを用いてもよい。またこれらの合  
10 金メッキを用いることも可能である。

こうして本実施の形態では、メッキ工法を用いることにより、下地金属膜に対して、自己整合的に金属配線を形成することが可能となる。また、下地金属膜上に自己整合的に形成する金属を、金あるいは銅等の低抵抗金属とすることが可能となり、適当な下地金属と  
15 の選択により、低抵抗かつ高精度な金属配線を形成することが可能となる。

(実施の形態 3-1 ~ 3-6 の補足事項)

① 上記実施の形態 3-1 ~ 3-6 では、電源ラインについて埋め込み配線構造としたけれども、本発明はこれに限定されるものではなく、埋め込む配線を電源ラインだけでなく、他のバス配線、例えばデータ線、シフトレジスタのクロック線など配線抵抗による信号の遅延が課題となるようなバス配線についても同様の工程で埋め込み配線構造とすることが可能である。

② 上記実施の形態 3-1 ~ 3-4 において、金属配線層を形成する  
25 方法としては、予め薄膜の導電層を形成しておき、該導電層上に選択堆積方法により金属配線を形成するようにしてもよい。このよ

うにすれば、上記のメッキ法による場合と同様に自己整合的に金属配線を形成することができると共に、堆積すべき金属を選択することにより低抵抗の金属配線が可能となる。なお、メッキ法に比べ選択堆積法の場合は、より清浄な環境下で形成されるため、金属配線  
5 層に不純物が混じり込むことがなく、金属配線の抵抗値の精度が向上するという利点がある。

③上記の例では液晶表示装置について説明したけれども、本発明は、PDP (Plasma Discharge Panel) や EL (Electro Luminescent) 等の発光型マトリクスパネルを備えた表示装置にも適用することができる。  
10

#### 産業上の利用可能性

以上のように本発明の構成によれば、本発明の各課題を十分に達成することができる。具体的には以下のとおりである。

(1) バス配線が形成された樹脂基板をアレイ基板の周縁部に設  
15 け、前記バス配線を樹脂基板のビアホールを介して駆動回路に接続される個別配線網と接続することにより、低抵抗のバス配線を形成でき、しかも外部回路に接続可能な外部接続端子をバス配線の一部に設けることにより、フシキシブル基板やプリント基板の小型・薄型化が可能になる。

20 (2) また、多結晶シリコン薄膜トランジスタを用いた駆動回路部を含む薄膜配線領域上にバス配線のための多層配線形成部を印刷により設けることにより、上記の効果に加えて、必要な領域について容易にバス配線を形成することが可能となる。

(3) 駆動回路のバス配線を埋め込み配線構造としたことにより、  
25 駆動回路に電源電圧を印加する電源配線の配線抵抗を小さく設定することが容易にできるので、駆動回路を構成する半導体素子の貫通

電流、及び電源配線の配線抵抗によって生じる電圧降下を小さく押さえることができ、確実に動作させることが可能となる。それゆえ内蔵駆動回路部を大幅に小型化でき、狭額縁な駆動回路一体型液晶表示装置を実現することが可能となる。

5

10

15

20

25

## 請 求 の 範 囲

1. 多結晶シリコン薄膜トランジスタで構成される駆動回路部が形成されたアクティブマトリックス基板と、対向基板との間に、液晶が充填され、前記駆動回路部を構成する複数の回路素子にクロックやデータ等の信号や電源を供給するための個別配線網が前記アクティブマトリックス基板の周縁部側に引き出された構造の表示装置において、

前記アクティブマトリックス基板の周縁部には、ビアホールが形成された絶縁体と、この絶縁体表面に形成されるバス配線とを有する多層バス配線形成部が設けられ、前記バス配線は前記ビアホールを介して前記個別配線網と接続しており、このバス配線に備えられた外部接続端子により、外部回路と接続可能に構成されていることを特徴とする表示装置。

15

2. 前記絶縁体は、表面にバス配線が形成され、且つ内部にビアホールが形成された成形品としての樹脂基板であり、この樹脂基板が前記アクティブマトリックス基板の周縁部に接着されて多層バス配線形成部が構成されていることを特徴とする請求項1記載の表示装置。

20

3. 前記樹脂基板は、アラミドーエポキシ樹脂で形成されていることを特徴とする請求項2記載の表示装置。

4. 前記ビアホール内には、導電ペーストが充填されていることを特徴とする請求項2記載の表示装置。

25



5 . 前記樹脂基板は、

多層構造を有し、最上層表面にバス配線が形成されるとともに、  
内層表面にもバス配線が形成され、各層に形成されるビアホールを  
5 介して上下のバス配線が選択的に接続されて立体配線構造となっ  
ている多層基板であることを特徴とする請求項 2 記載の表示装置。

6 . 前記導電ペーストがビアホール下部開口から部分的に突出  
しており、この導電ペーストの突出部によりアクティブマトリッ  
10 ス基板と樹脂基板とが接着されていることを特徴とする請求項 4 記  
載の表示装置。

7 . 前記ビアホール内には導電ペーストが充填され、この導電ペ  
ーストがビアホール下部開口から部分的に突出しており、この導  
15 電ペーストの突出部によりアクティブマトリックス基板と樹脂基板  
とが接着されていることを特徴とする請求項 5 記載の表示装置。

8 . 前記樹脂基板と前記アクティブマトリックス基板とを接着す  
る接着剤は、熱可塑性を有する材料で構成されていることを特徴と  
20 する請求項 2 記載の表示装置。

9 . 前記樹脂基板と前記アクティブマトリックス基板とを接着す  
る接着剤は、異方性導電樹脂又は銀ペーストであることを特徴とす  
る請求項 2 記載の表示装置。

25

10 . 前記樹脂基板がフィルム状基板であり、前記アクティブマ

トリックス基板に剥離可能に接着されていることを特徴とする請求項 2 記載の表示装置。

1 1 . 前記フィルム状基板がポリイミド又はエポキシを主成分とする樹脂から成ることを特徴とする請求項 1 0 記載の表示装置。

1 2 . 外部回路を構成する半導体チップが前記樹脂基板上に実装され、バス配線と接続されていることを特徴とする請求項 2 記載の表示装置。

10

1 3 . 前記半導体チップがビアホール内に埋め込まれていることを特徴とする請求項 1 2 記載の表示装置。

1 4 . 前記多層バス配線形成部のバス配線が、印刷により形成された厚膜であることを特徴とする請求項 1 記載の表示装置。

15

1 5 . 前記多層バス配線形成部の絶縁体が、印刷により形成された厚膜であることを特徴とする請求項 1 4 記載の表示装置。

20

1 6 . 多結晶シリコン薄膜トランジスタで構成される駆動回路部が形成されたアクティブマトリックス基板と、対向基板との間に、液晶が充填され、前記駆動回路部を構成する複数の回路素子にクロックやデータ等の信号や電源を供給するための個別配線網が前記アクティブマトリックス基板の周縁部側に引き出された構造の表示装置

25

において、

前記アクティブマトリックス基板の周縁部に凹溝が形成され、

この凹溝に、前記個別配線網に接続されるバス配線が埋め込まれた構成となっていることを特徴とする表示装置。

17. 多結晶シリコン薄膜トランジスタで構成される駆動回路部  
5 が形成されたアクティブマトリックス基板と、対向基板との間に、  
液晶が充填され、前記駆動回路部を構成する複数の回路素子にクロ  
ックやデータ等の信号や電源を供給するための個別配線網が前記ア  
クティブマトリックス基板の周縁部側に引き出された構造の表示装  
置において、

10 前記アクティブマトリックス基板の周縁部に有機樹脂層が形成さ  
れており、この有機樹脂層内に、前記個別配線網に接続されるバス  
配線が埋め込まれた構成となっていることを特徴とする表示装置。

18. 前記有機樹脂が感光性樹脂から成り、この有機樹脂にはフ  
15 オトリソグラフィ法によりビアホールが形成されており、このビ  
アホールに充填された接続電極を介して前記バス配線が前記個別配  
線網と電氣的に接続されていることを特徴とする請求項17項記載  
の表示装置。

20 19. 前記バス配線がスクリーン印刷により形成された熱硬化型  
の導電性樹脂であることを特徴とする請求項18記載の表示装置。

20. 前記バス配線が予め成形された金属細線であることを特徴  
とする請求項16記載の表示装置。

25

21. 前記バス配線が予め成形された金属細線であることを特徴

とする請求項 1 7 記載の表示装置。

2 2 . 前記バス配線がメッキ工法にて作製されたものであることを特徴とする請求項 1 6 記載の表示装置。

5

2 3 . 前記バス配線がメッキ工法にて作製されたものであることを特徴とする請求項 1 7 記載の表示装置。

2 4 . 前記メッキ工法により作製されたバス配線が、銅箔層、銅  
10 メッキ層、金ニッケルメッキ層の積層構造をなしていることを特徴  
とする請求項 2 2 記載の表示装置。

2 5 . 前記メッキ工法により作製されたバス配線が、銅箔層、銅  
メッキ層、金ニッケルメッキ層の積層構造をなしていることを特徴  
15 とする請求項 2 3 記載の表示装置。

2 6 . 前記バス配線が、予め薄い導電層を形成し該導電層上に異なる複数の金属層を選択的に堆積する選択堆積方法により形成された金属配線であることを特徴とする請求項 1 6 記載の表示装置。

20

2 7 . 前記バス配線が、予め薄い導電層を形成し該導電層上に異なる複数の金属層を選択的に堆積する選択堆積方法により形成された金属配線であることを特徴とする請求項 1 7 記載の表示装置。

25 2 8 . 前記液晶に代えて希ガスが基板間に充填されており、この希ガスをプラズマ放電させて表示を行うことを特徴とする請求項 1

記載の表示装置。

29. 表面にバス配線を有し、且つ内部にビアホールを備えたフィルム状基板を準備し、このフィルム状基板をアクティブマトリックス基板の周縁部に接着して、バス配線をビアホールを介して多結晶シリコン薄膜トランジスタで構成される駆動回路部と電氣的に接続する工程を有する表示装置の製造方法において、

前記フィルム状基板と前記アクティブマトリックス基板との接着に際して、接着剤を半硬化状態とした後、再度フィルム状基板とアクティブマトリックス基板との位置合わせの補正を行い、その後、接着剤を本硬化させてフィルム状基板とアクティブマトリックス基板を固定することを特徴とする表示装置の製造方法。

30. 前記本硬化のための温度が120℃から150℃の範囲であることを特徴とする請求項29記載の表示装置の製造方法。

31. 多結晶シリコン薄膜トランジスタで構成される駆動回路部が形成されたアクティブマトリックス基板と、対向基板との間に、液晶が充填され、前記駆動回路部を構成する複数の回路素子にクロックやデータ等の信号や電源を供給するための個別配線網が前記アクティブマトリックス基板の周縁部側に引き出された構造の表示装置の製造方法において、

前記アクティブマトリックス基板の周縁部に絶縁体を形成し、次いで前記絶縁体にビアホールを形成し、その後、印刷によりバス配線を形成することを特徴とする表示装置の製造方法。

32. 前記ビアホールは、レーザー照射により形成することを特徴とする請求項31記載の表示装置の製造方法。

33. 駆動回路部を多結晶シリコン薄膜トランジスタで形成する工程と、

前記駆動回路部を含む薄膜配線領域上に絶縁膜を形成する工程と、前記絶縁膜の所定部分をフォトリソによりエッチングして前記駆動回路部の配線電極の所定部分を露出するようにビアホールを形成する工程と、

10 前記絶縁膜上に導電性インクを用いて所定形状に印刷し、ビアホールを通して前記駆動回路部の配線電極と電氣的接続を行う工程と、を含む表示装置の製造方法。

34. 駆動回路部を多結晶シリコン薄膜トランジスタで形成する工程、前記駆動回路部を含む薄膜配線領域の所定部分に前記薄膜配線電極の一部が露出するようにビアホールを形成するための絶縁膜を印刷形成する工程と、

前記絶縁膜上に導電性インクを用いて所定形状に印刷し、ビアホールを通して前記駆動回路部の配線電極と電氣的接続を行う工程と、  
20 を有する表示装置の製造方法。

35. 駆動回路部を多結晶シリコン薄膜トランジスタで形成する工程と、

前記駆動回路部を含む薄膜配線領域と画素部分上に透明絶縁膜を塗布形成して平坦化膜を形成する工程と、

前記平坦化膜をフォトリソとエッチングプロセスにより前記駆動

回路部を含む薄膜配線領域と前記画素部分の所定個所に、ビアホールを設ける工程と、

前記平坦化膜上に透明導電膜を所定個所にパターン形成する工程と、

- 5 前記駆動回路部への給電のための配線を透明導電膜を含む前記平坦化膜上に印刷形成する工程と、  
を有する表示装置の製造方法。

36. アクティブマトリックス基板上に、薄膜トランジスタで構成されるマトリックスアレイを備えた液晶表示部と、液晶表示部を駆動する駆動回路部とを形成する工程と、

前記アクティブマトリックス基板上にレジスト層を形成するレジスト層形成工程と、

- 15 前記レジスト層への露光・現像を行って、レジスト層のうち凹溝を形成すべき部分に対応する部分のみを除去する除去工程と、

エッチング法によりアクティブマトリックス基板の前記レジスト層が除去された部分を窪ませて、凹溝を形成する凹溝形成工程と、

凹溝に金属配線を形成する金属配線形成工程と、

- 20 金属配線形成工程後に、レジスト層を絶縁基板上から剥離する剥離工程と、

を有することを特徴とする表示装置の製造方法。

37. 前記エッチング法がエッチング液を使用する化学的エッチング法であることを特徴とする請求項36記載の表示装置の製造方法。

38. 前記エッチング法がサンドブラスト法であることを特徴とする請求項36記載の表示装置の製造方法。

5

10

15

20

25



図1

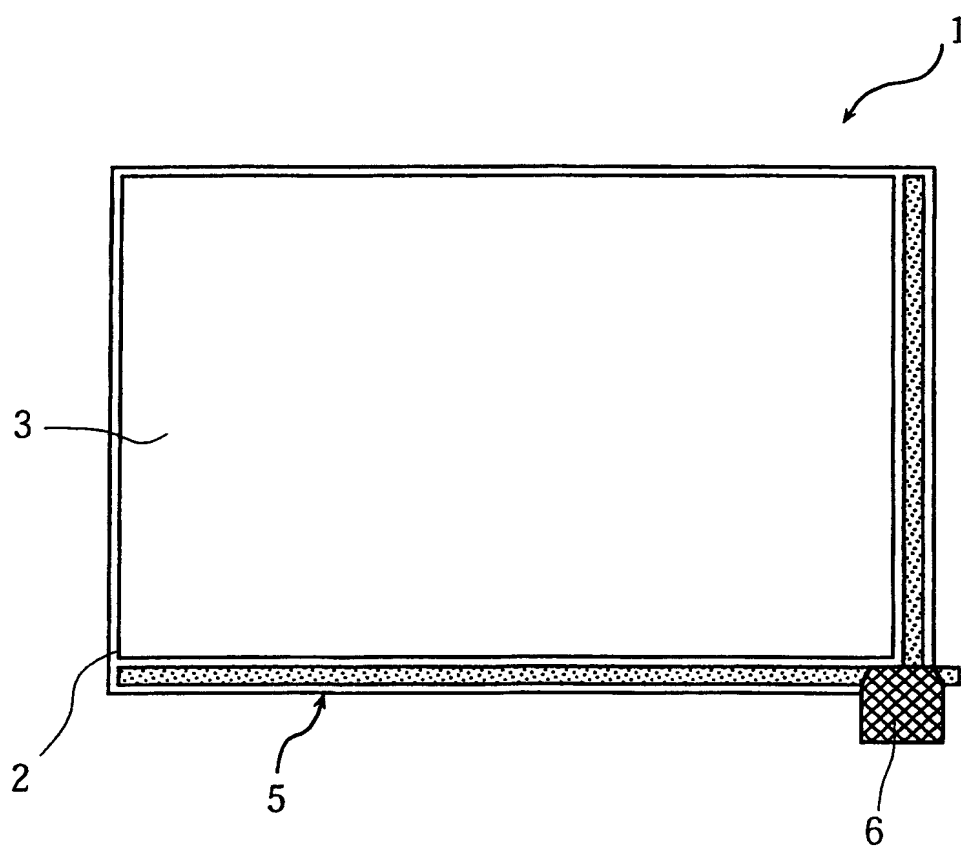




图2

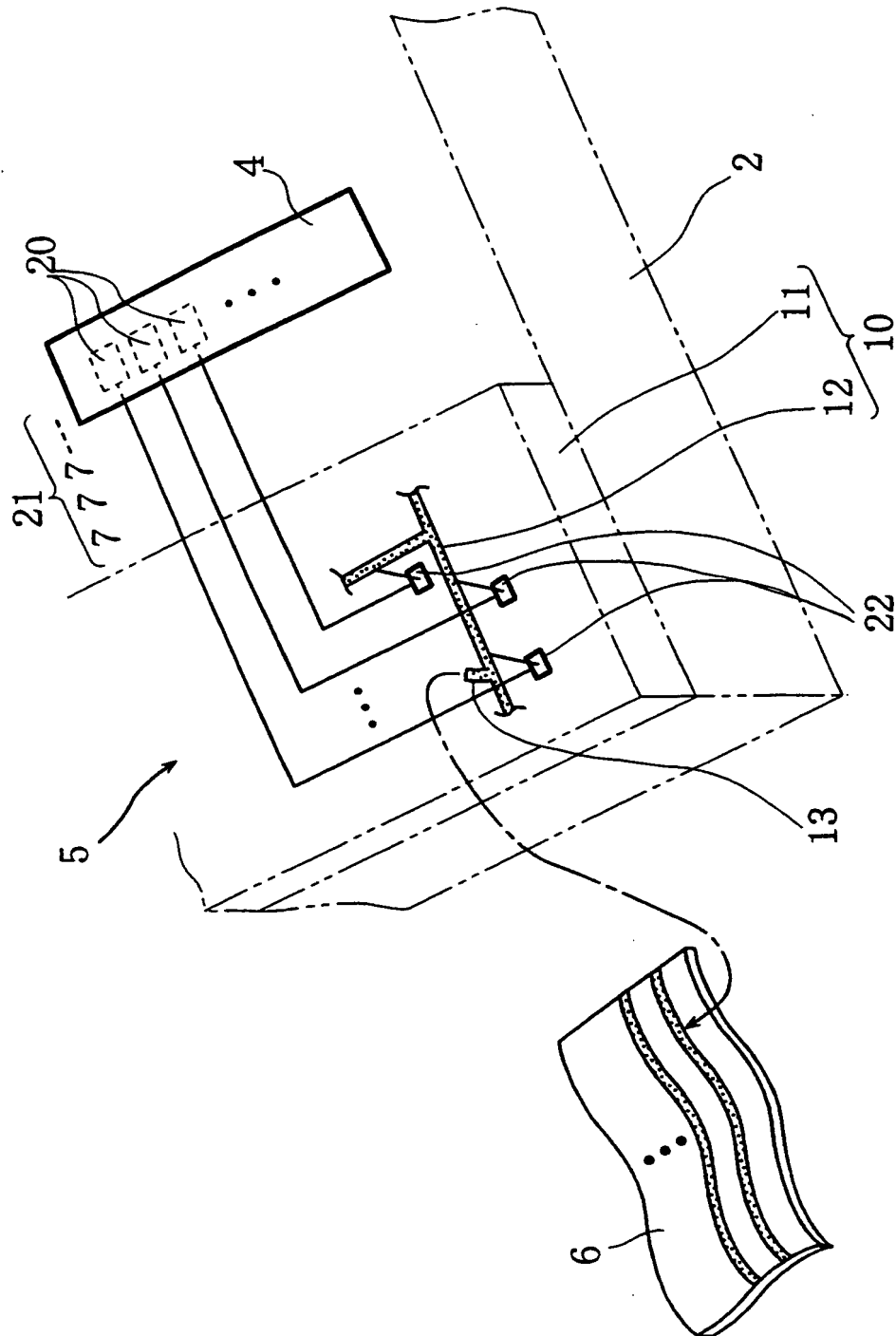




図3

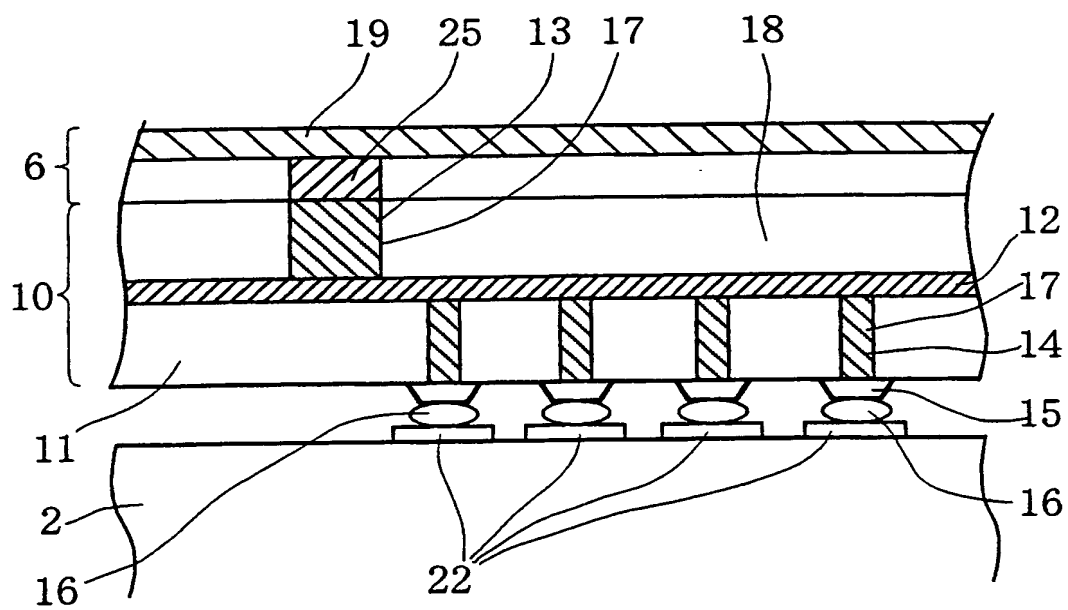




図4

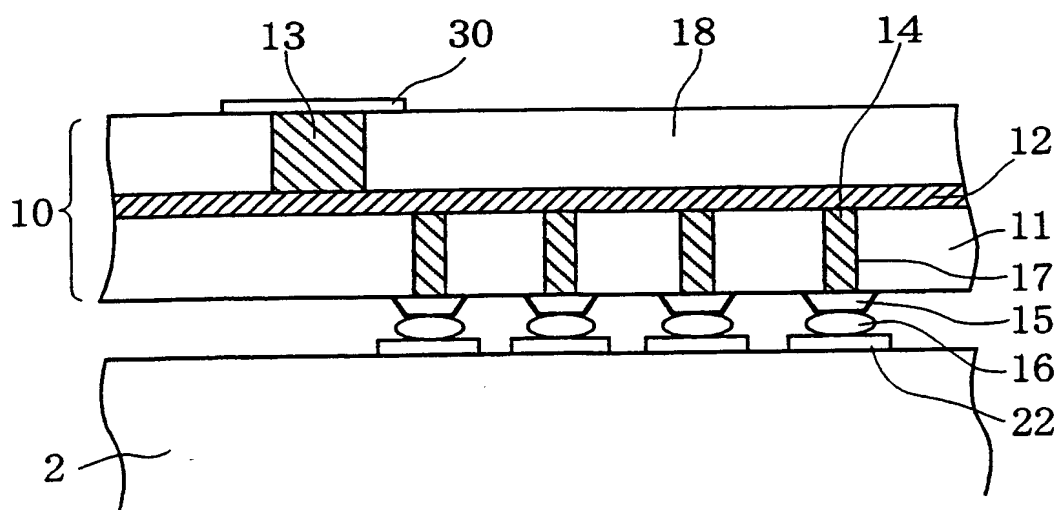






図5

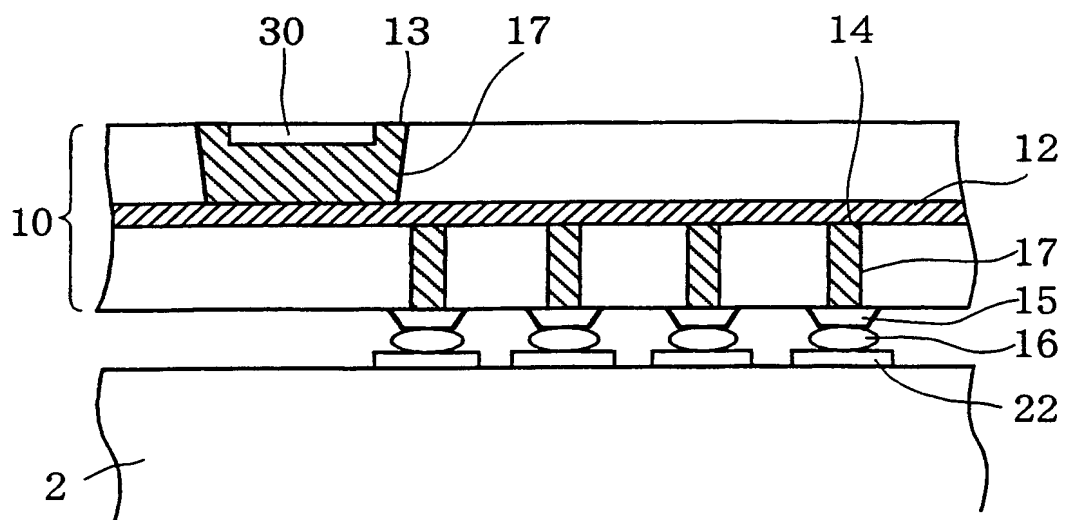




図6

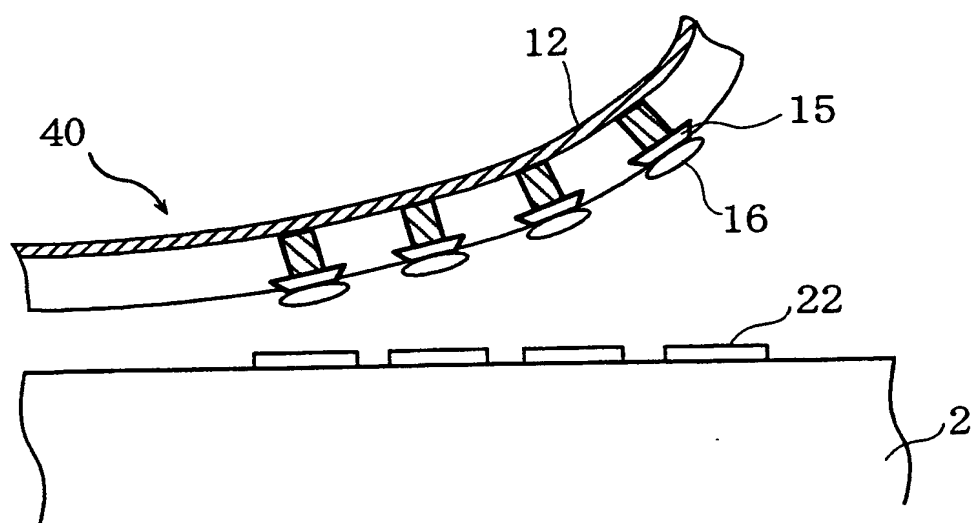




図7

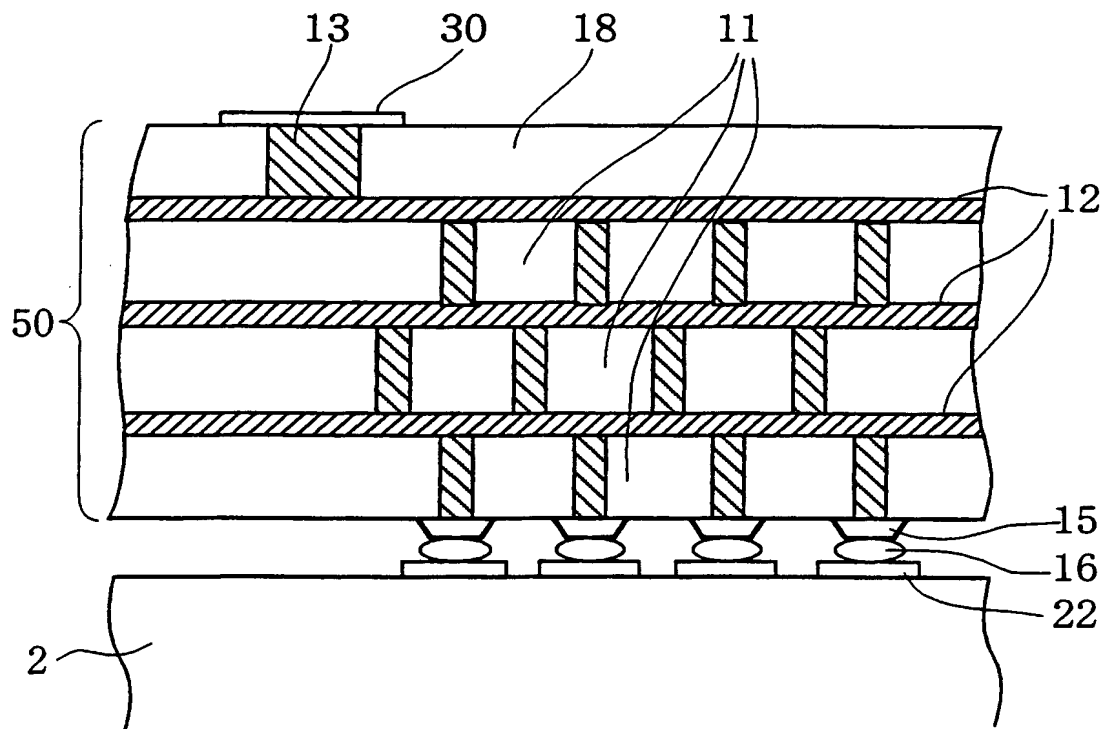




図8

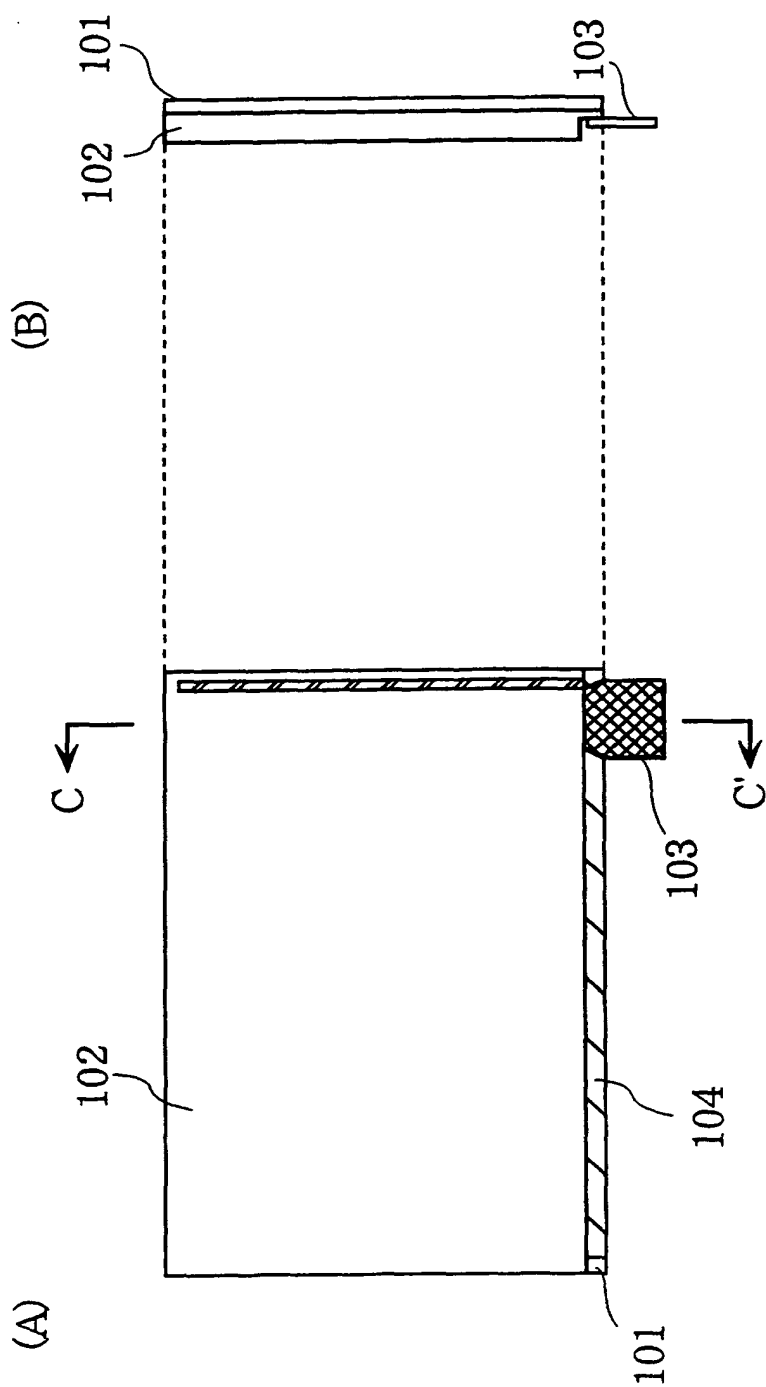






図9

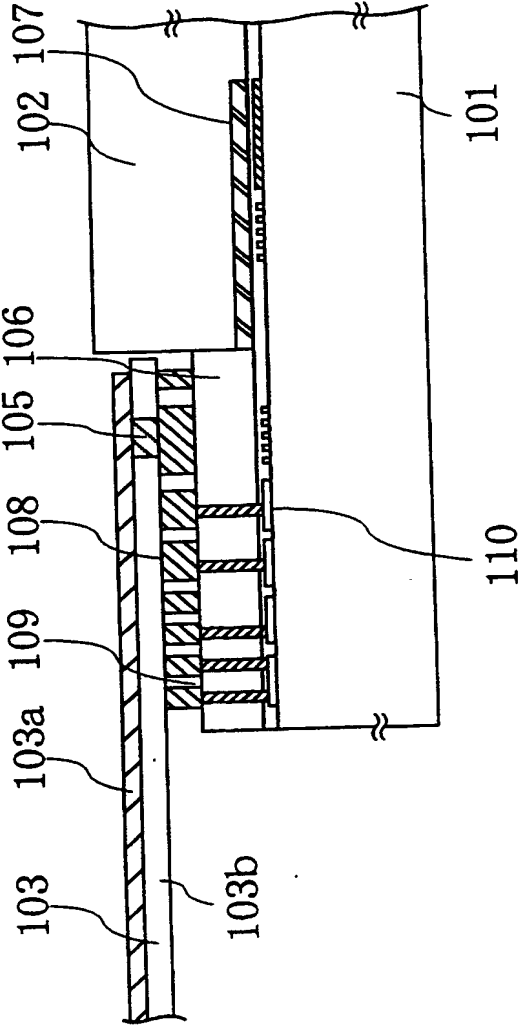




図10

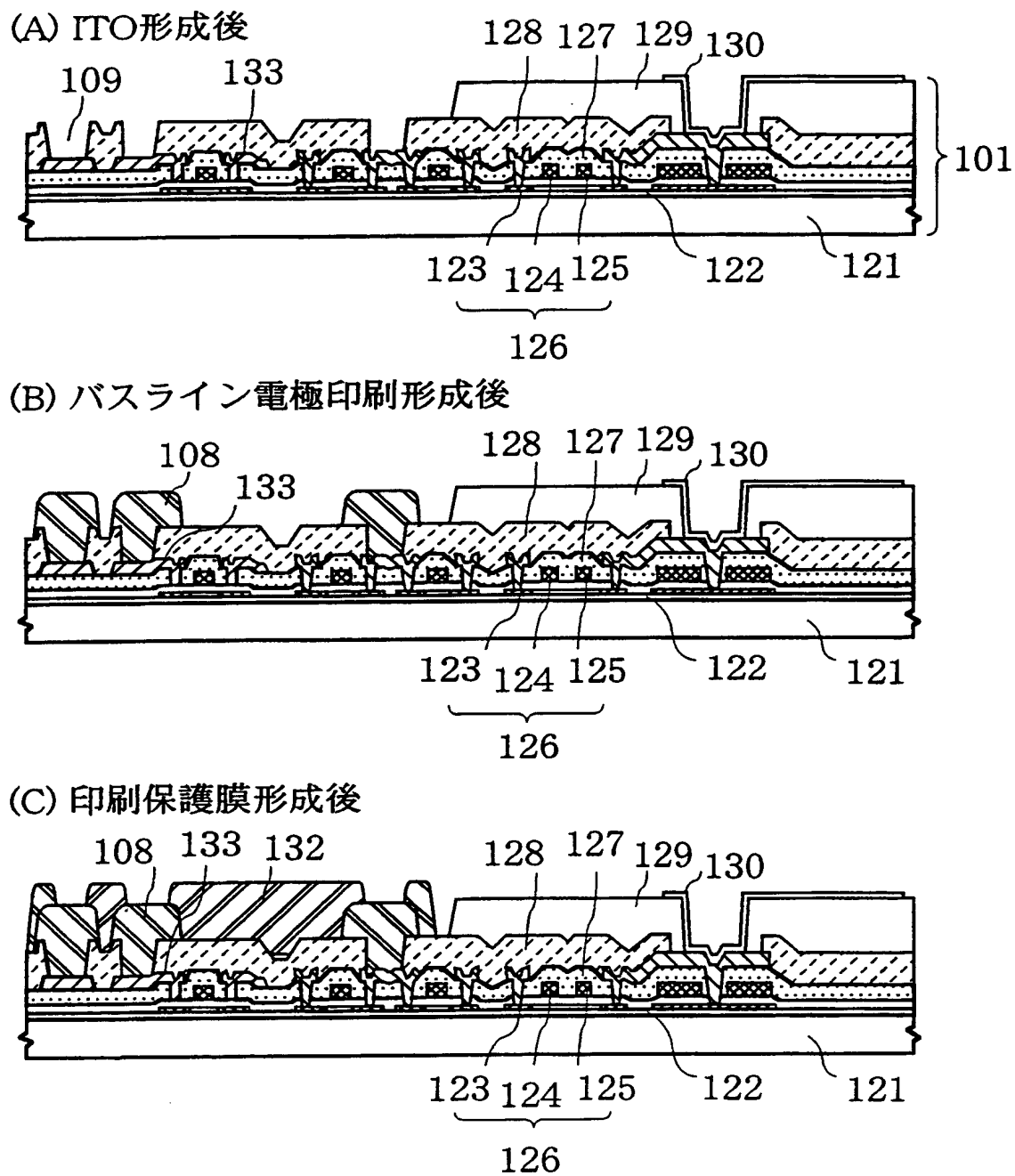
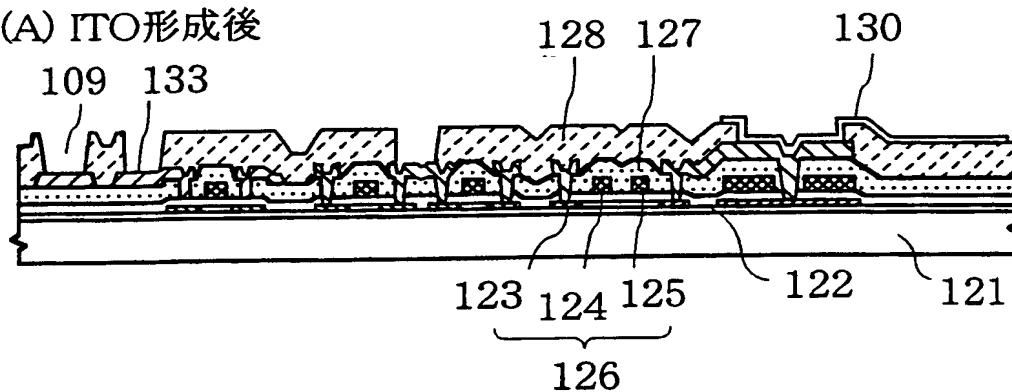


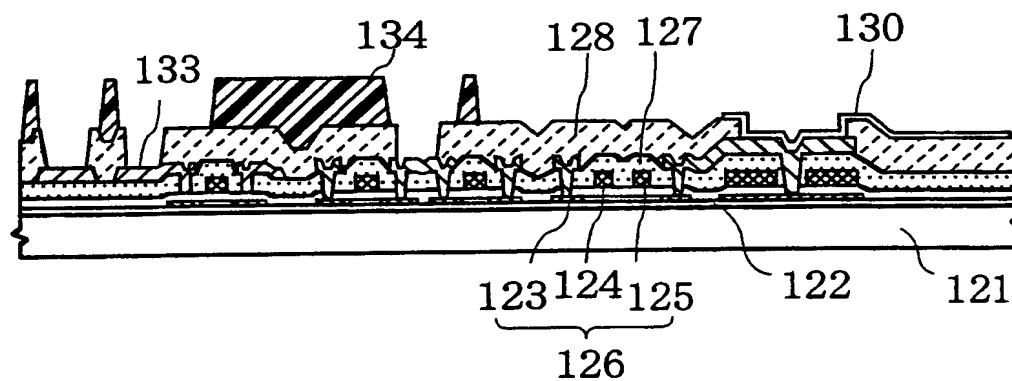


図11

(A) ITO形成後



(B) 印刷絶縁膜形成後



(C) バスライン電極形成後

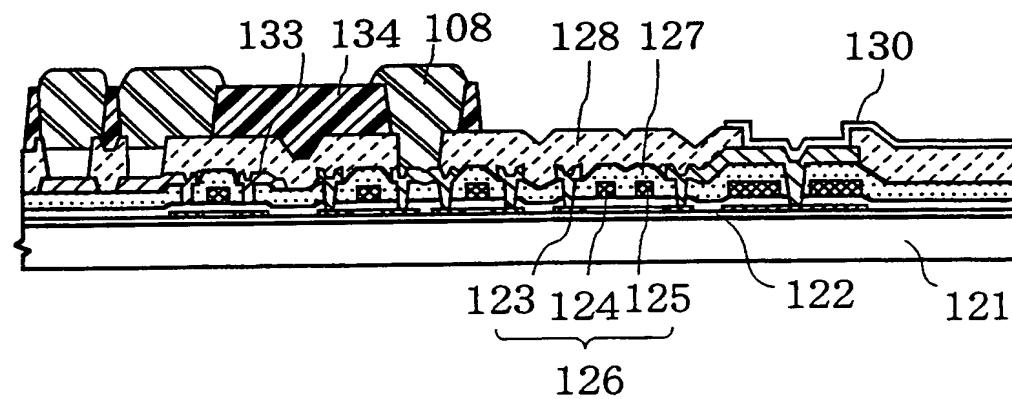
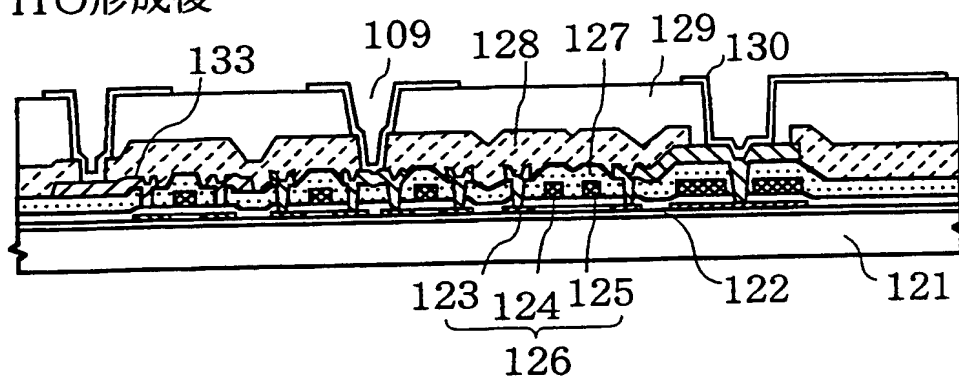


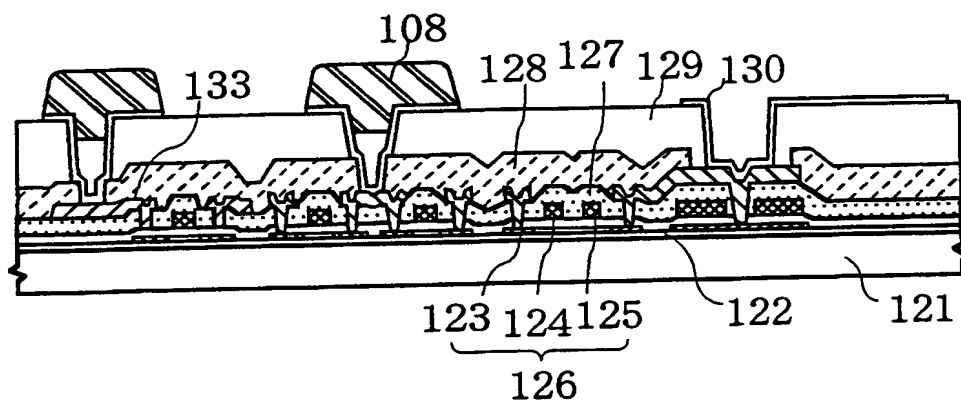


図12

(A) ITO形成後



(B) バスライン電極形成後



(C) 印刷保護膜形成後

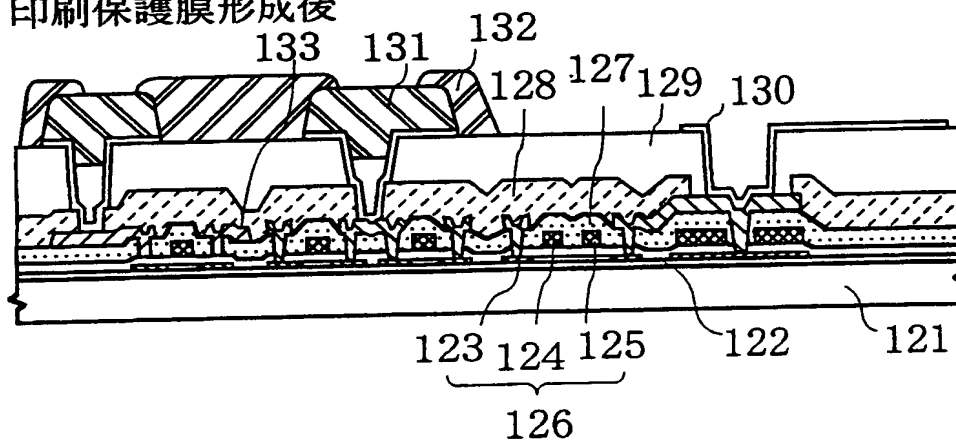






図13

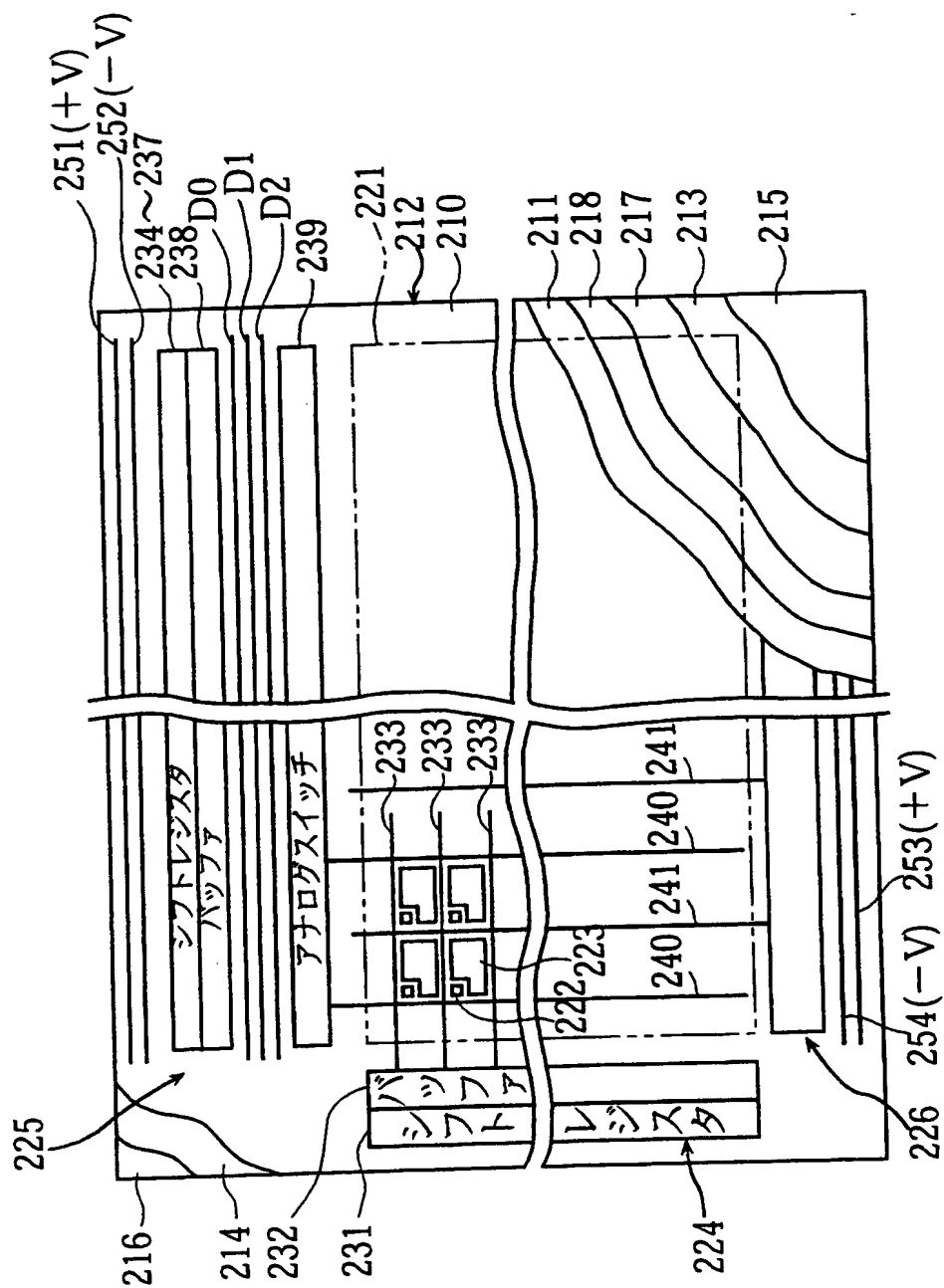




図14

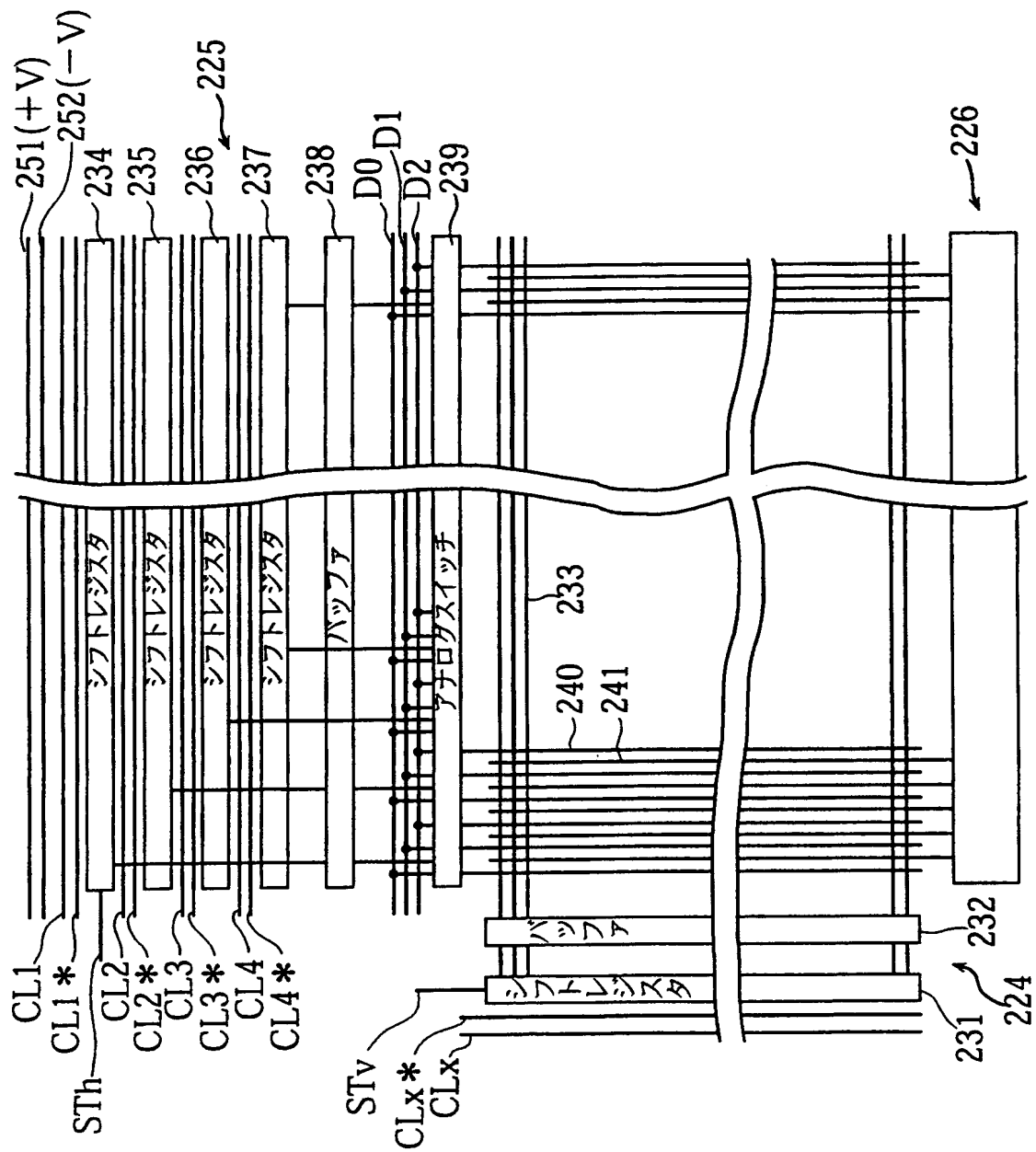




図15

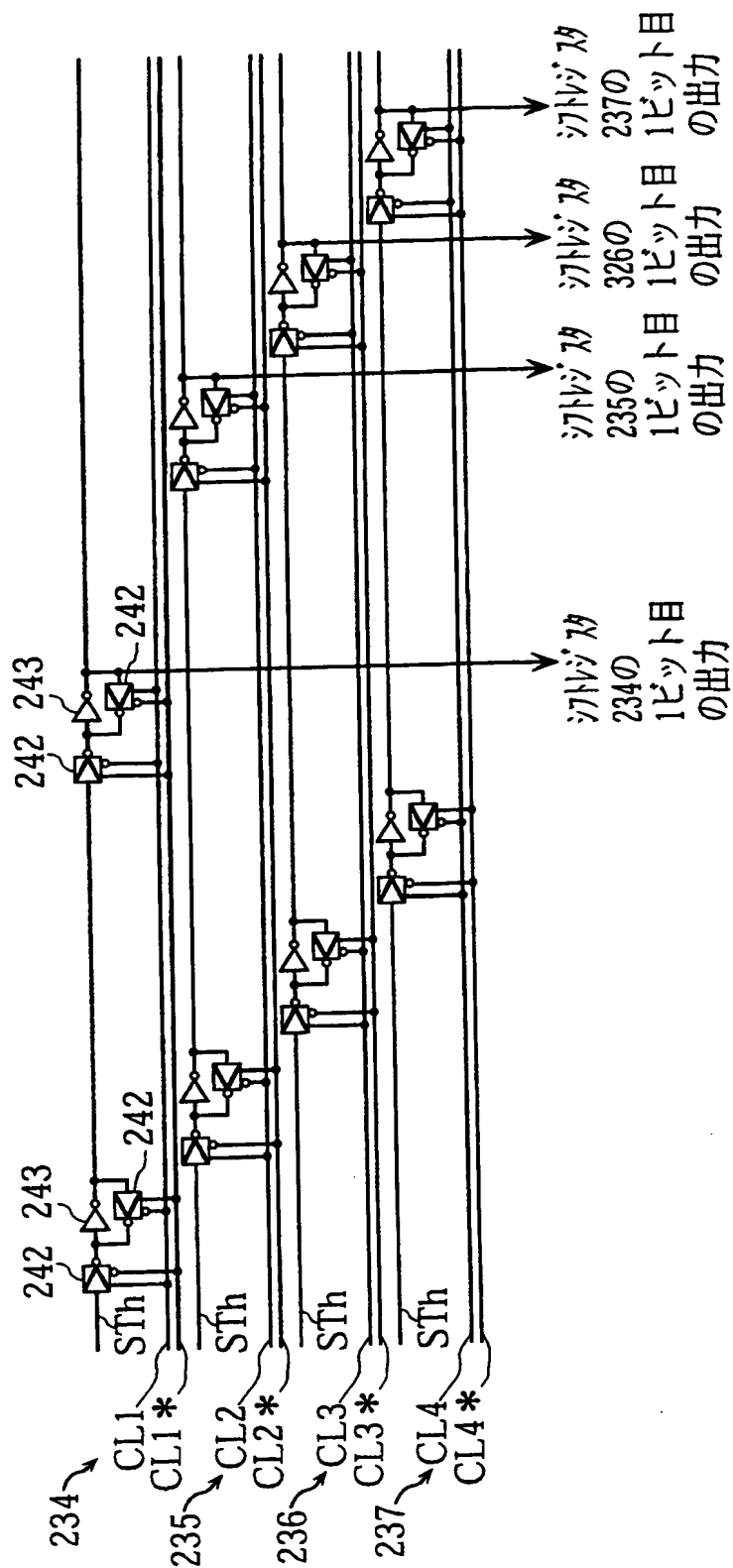




図16

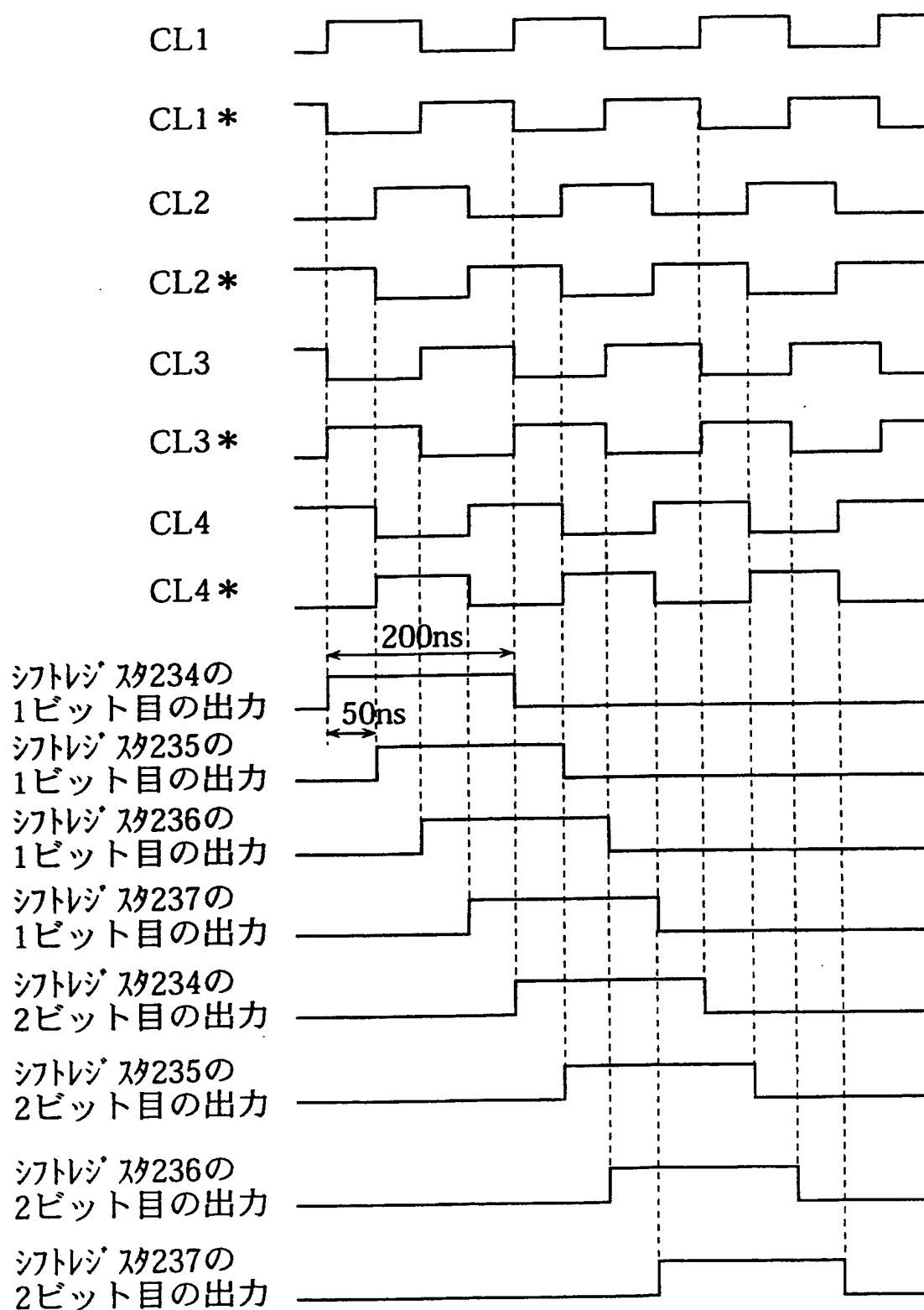






図17

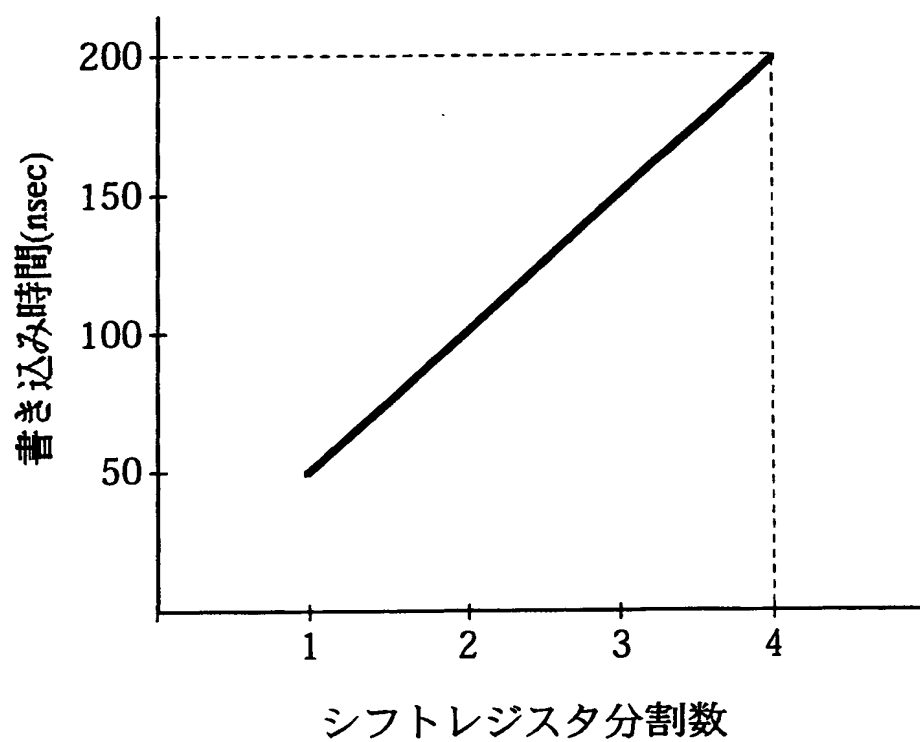




図18

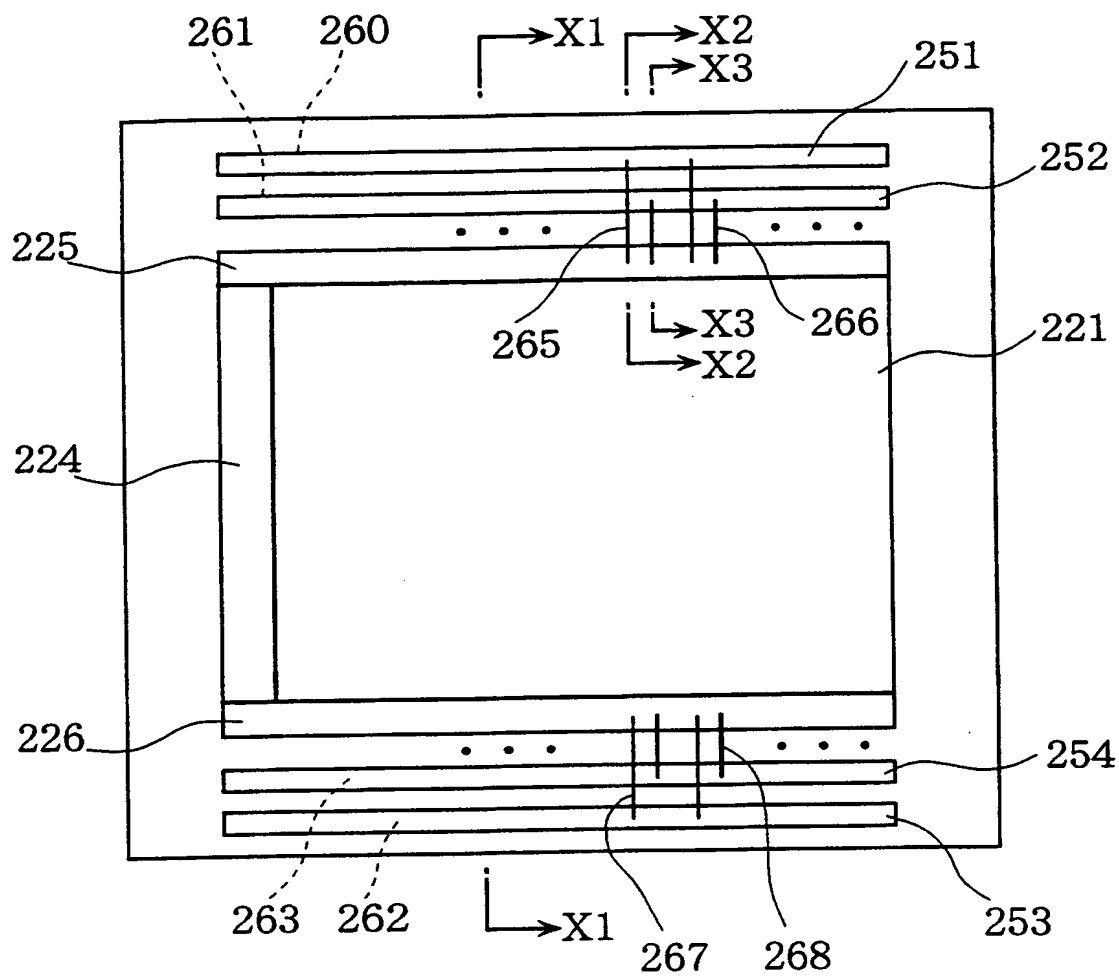




図19

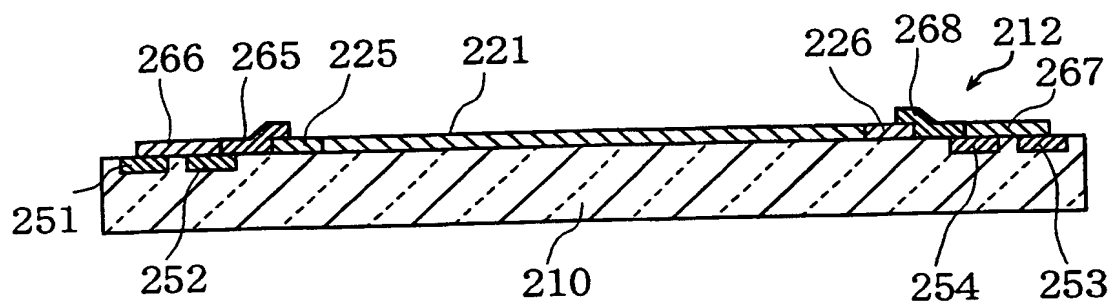










図21

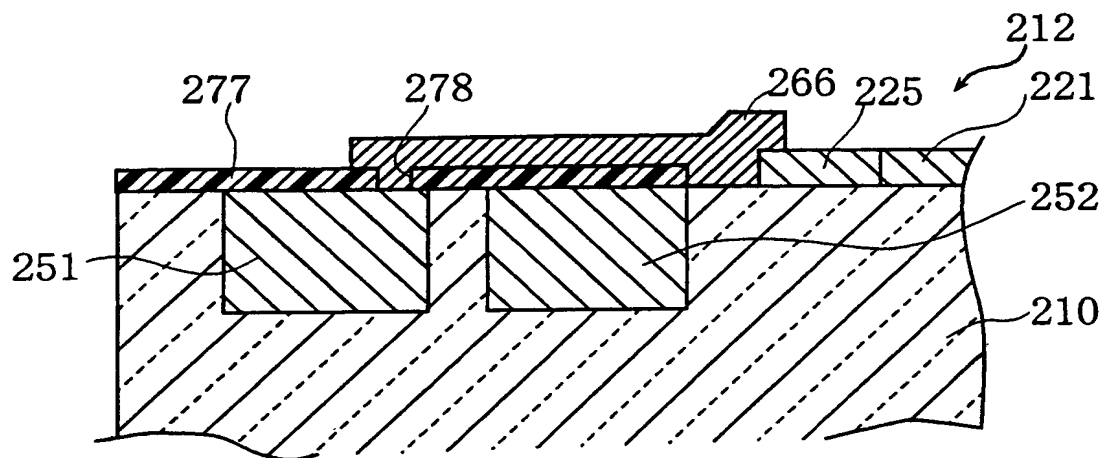




図22

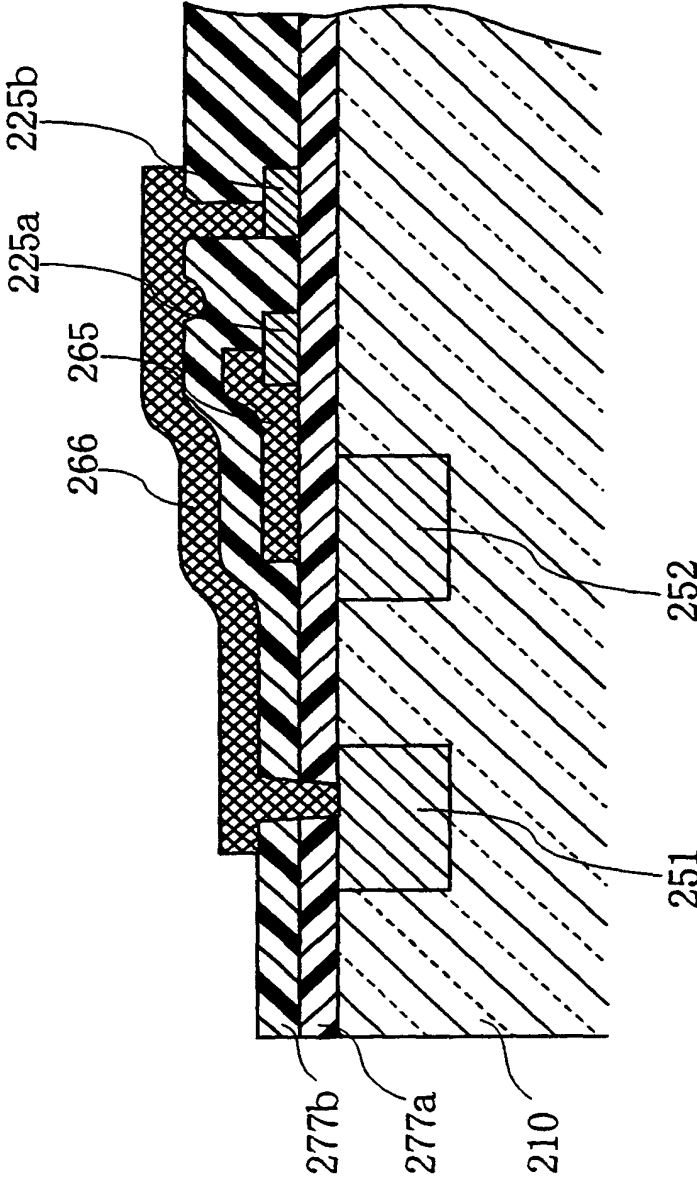




図23

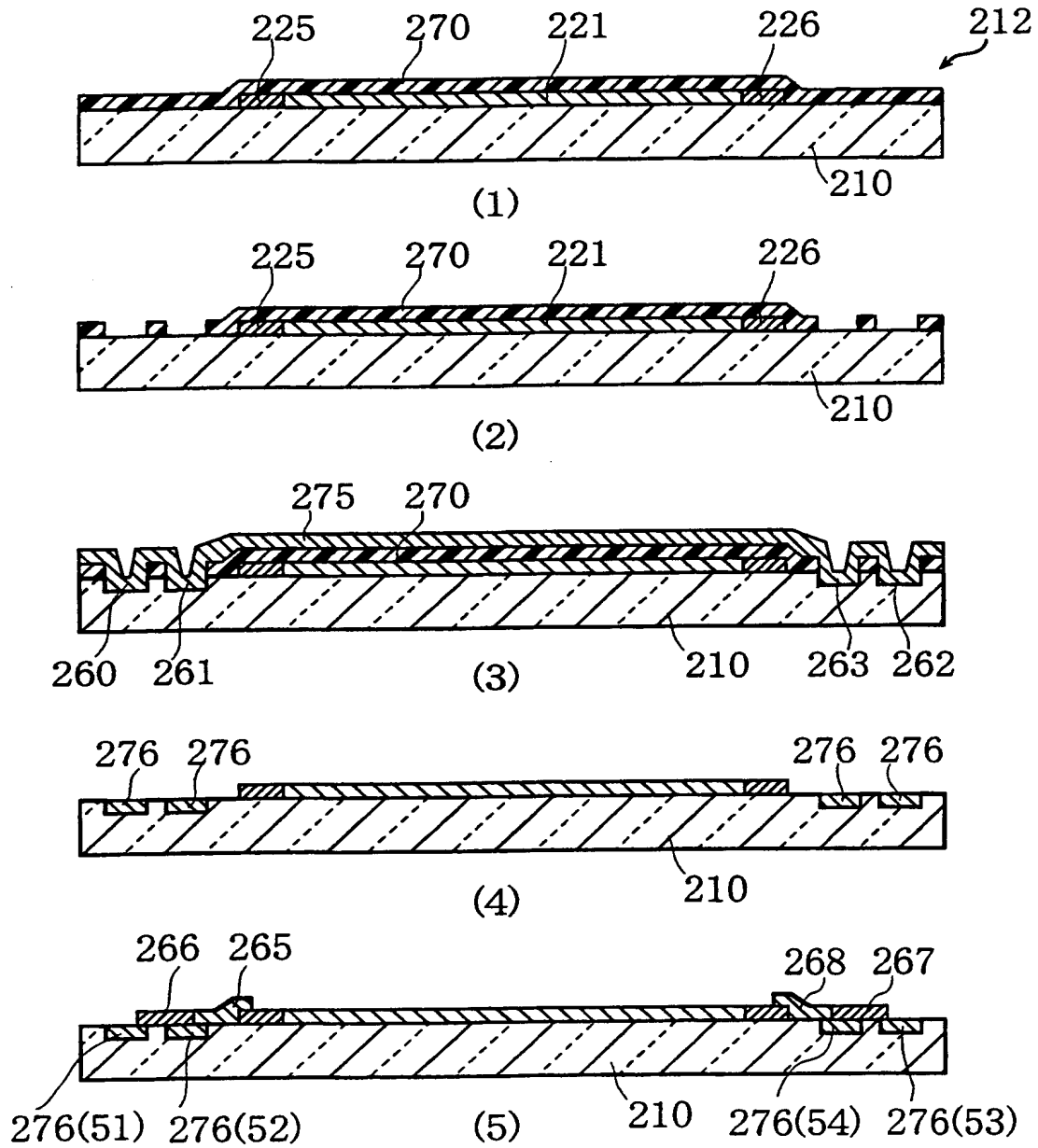
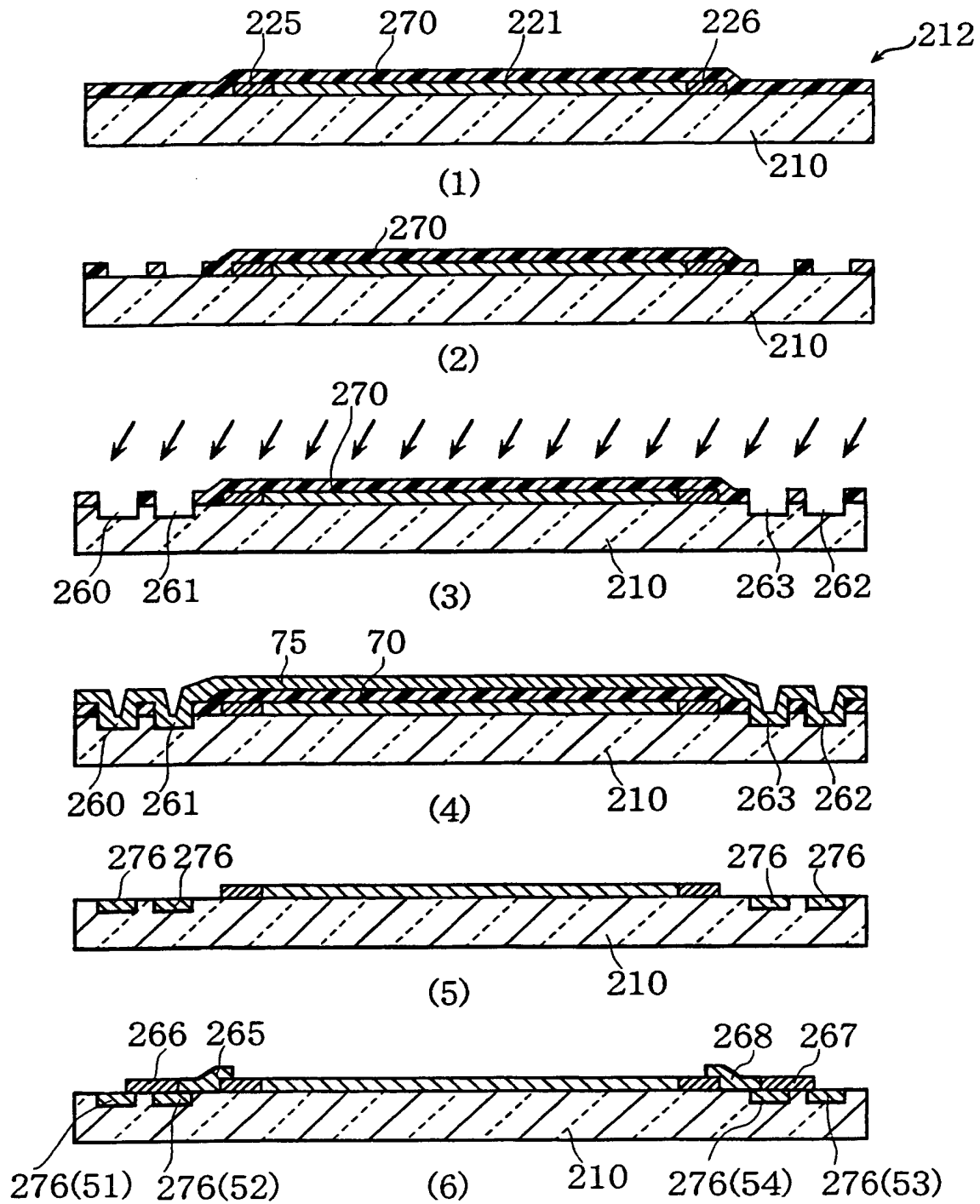




図24







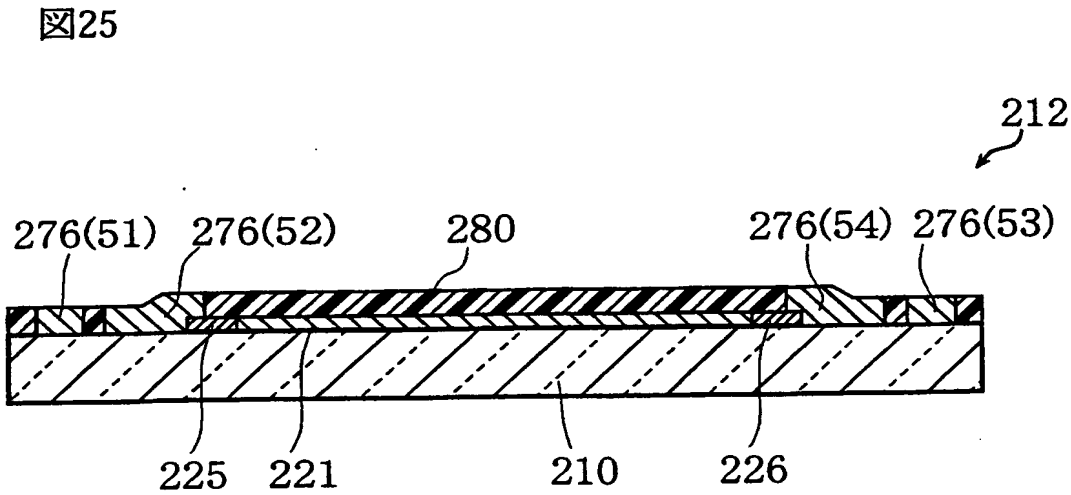




図26

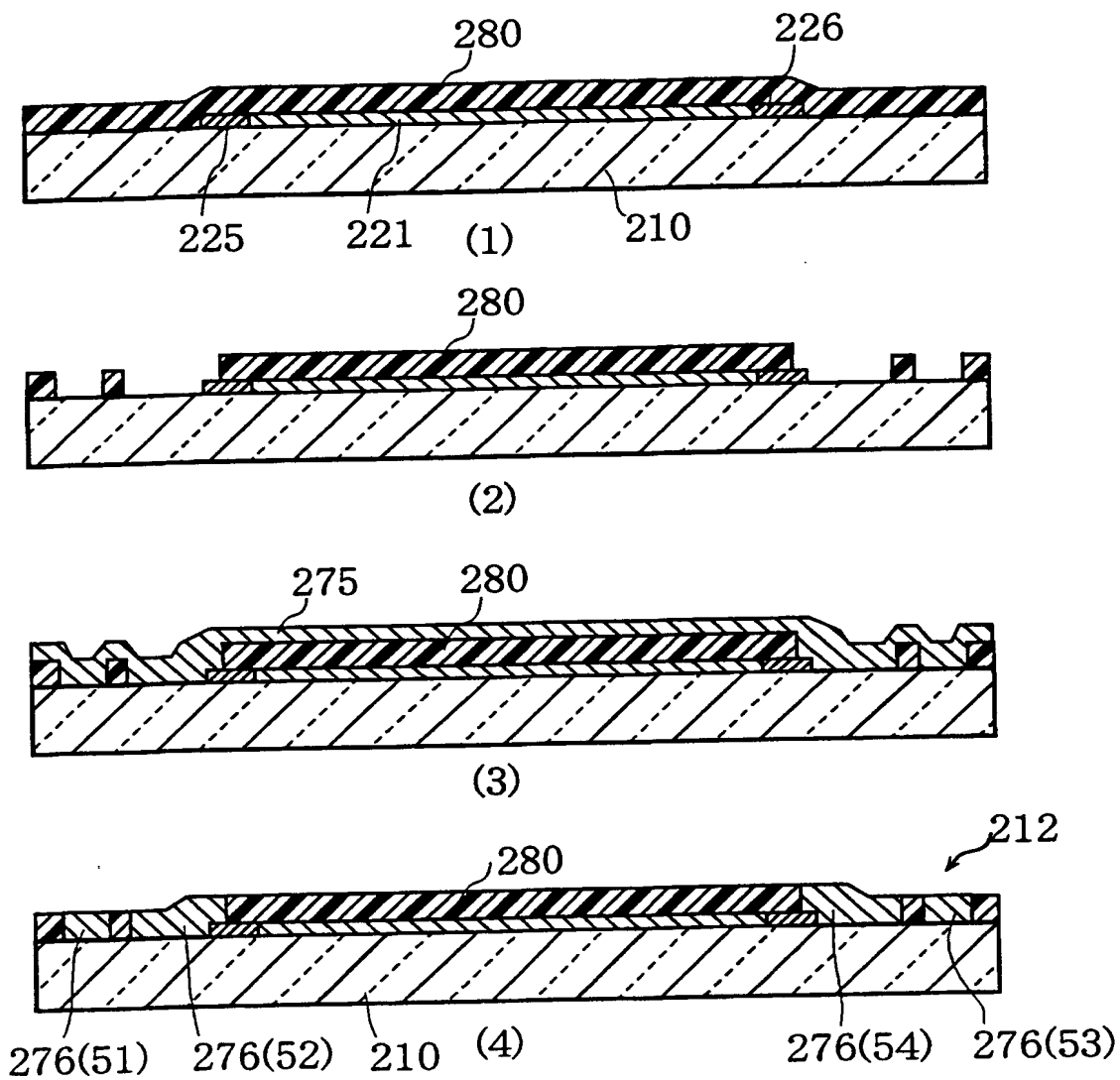
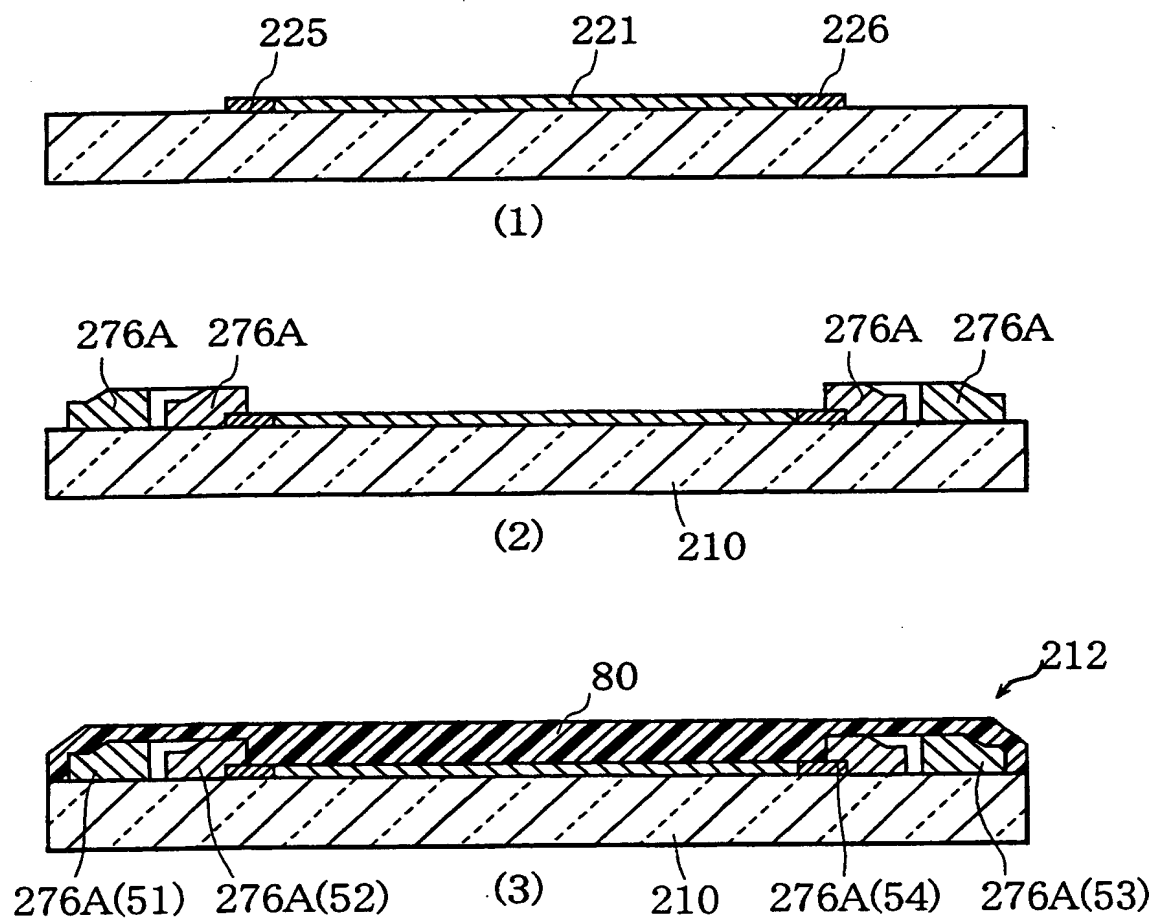


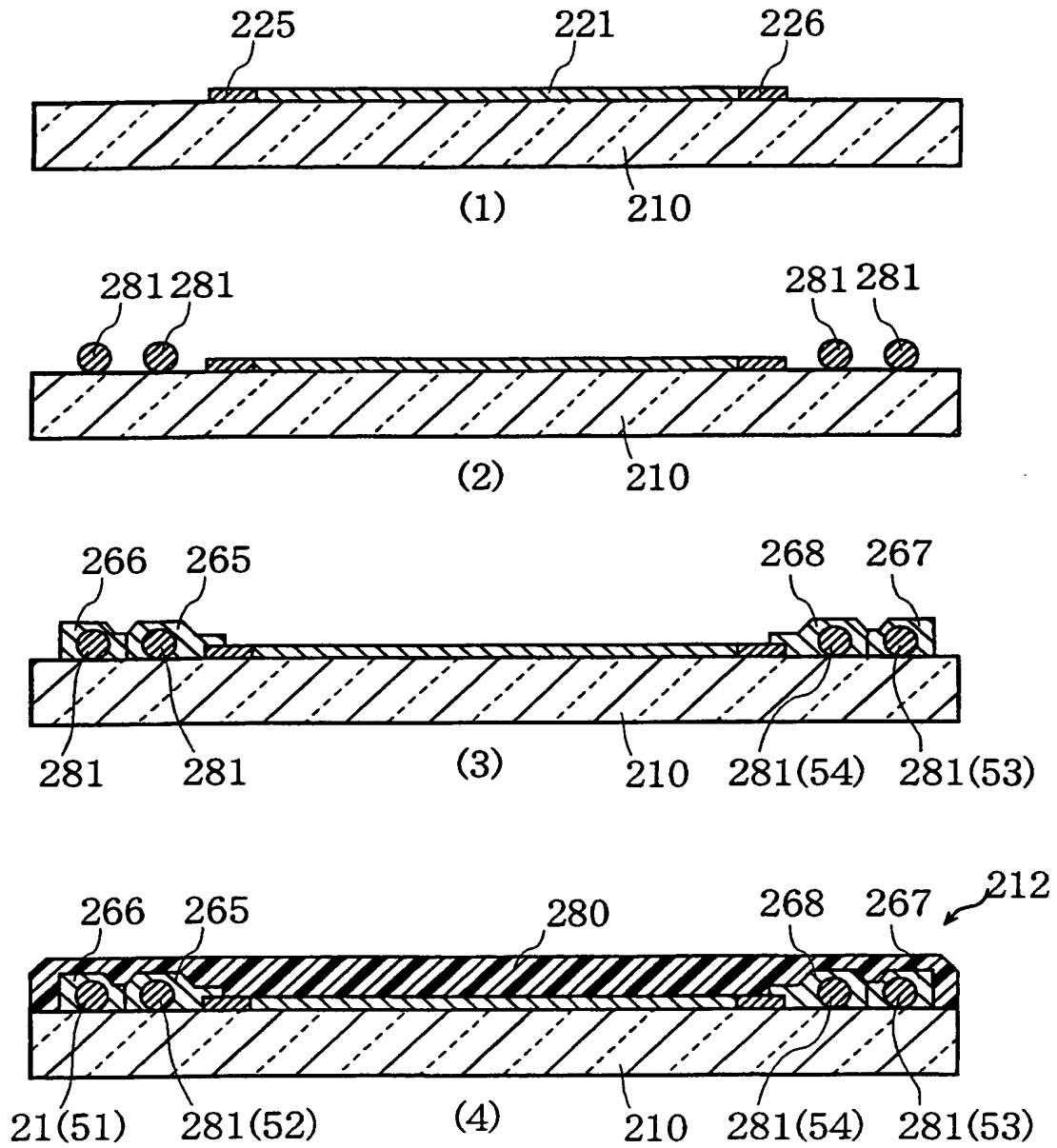


図27





28







29

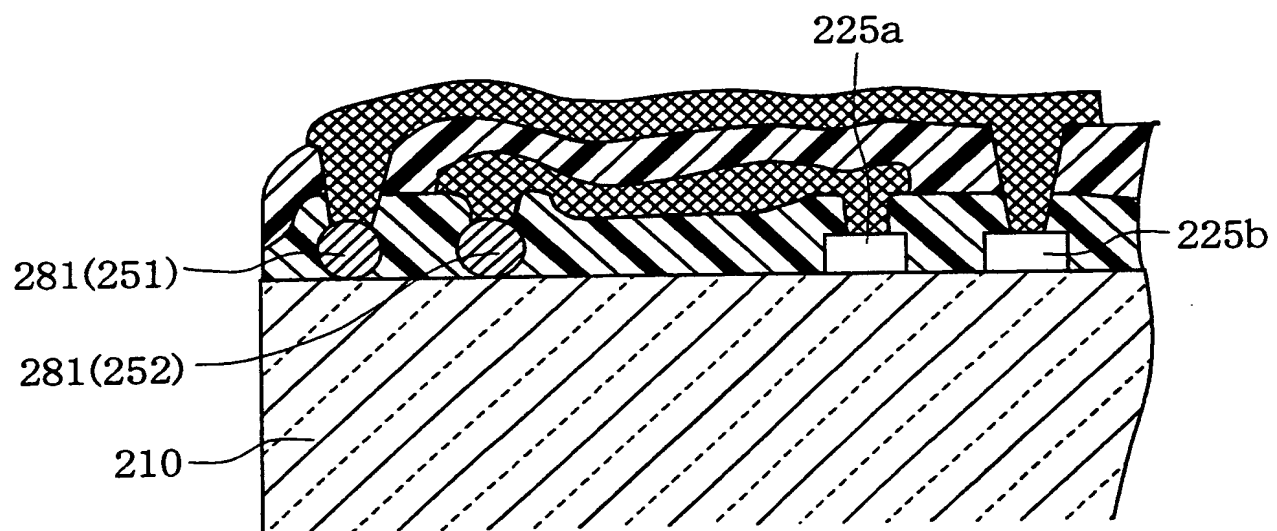




図30

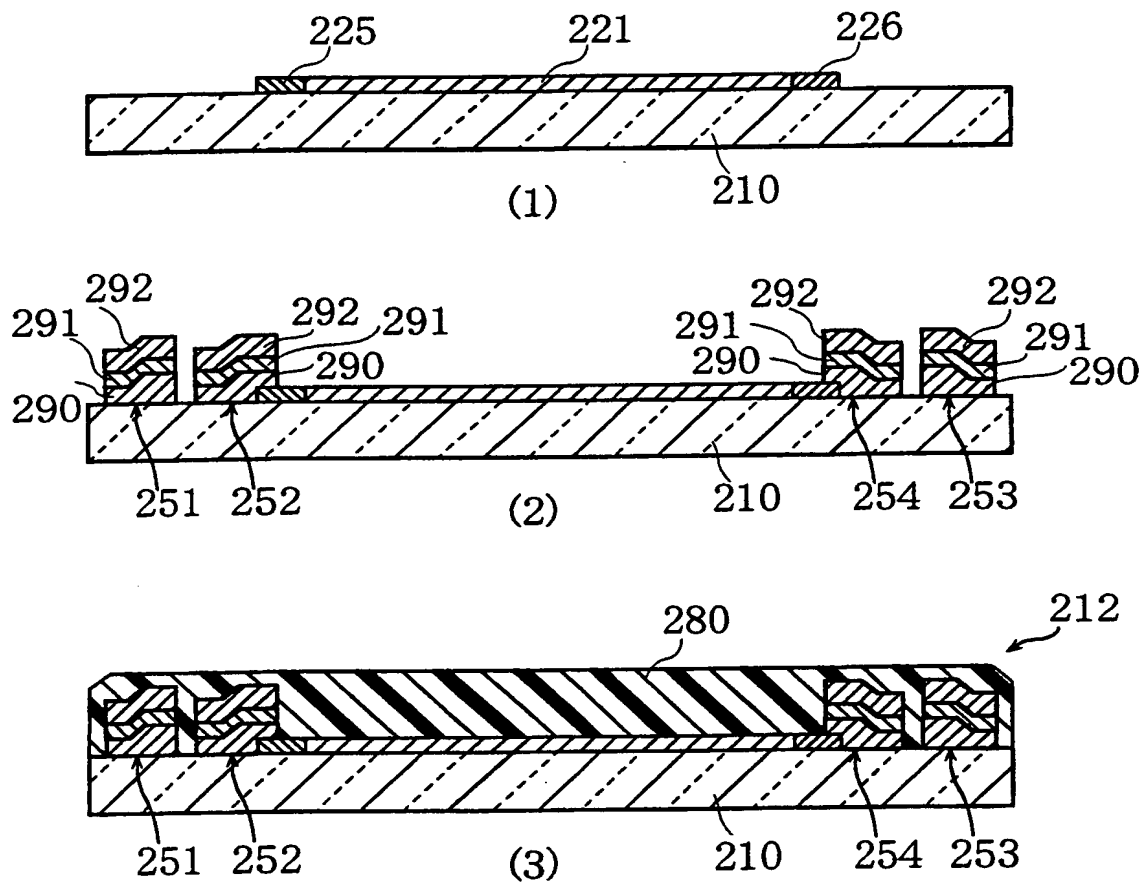




図31

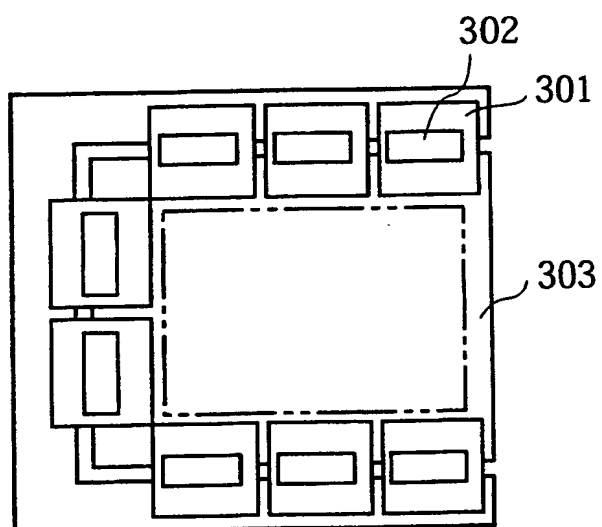




図32

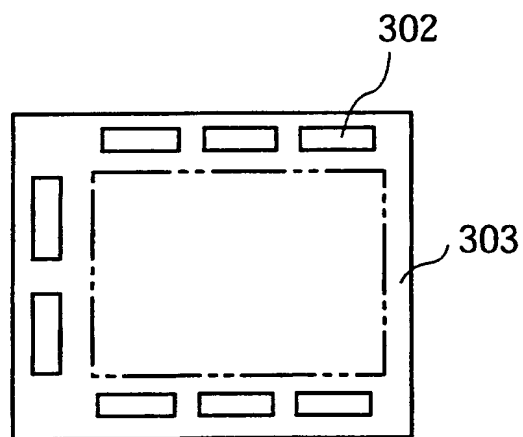






図33

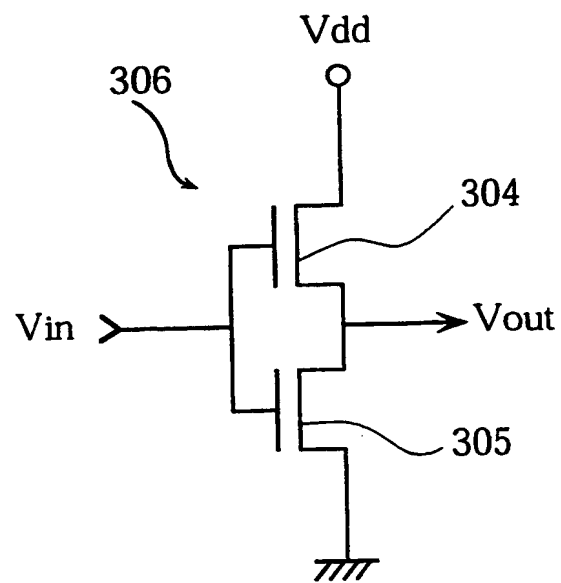
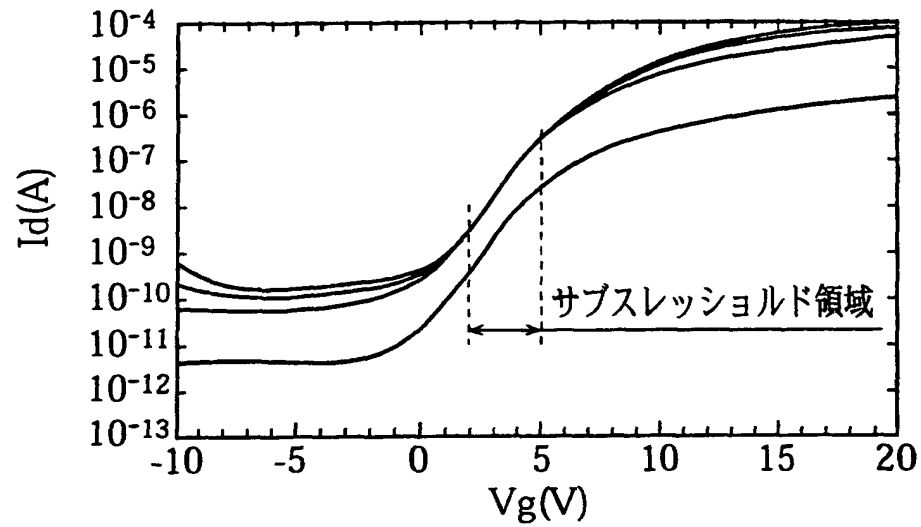




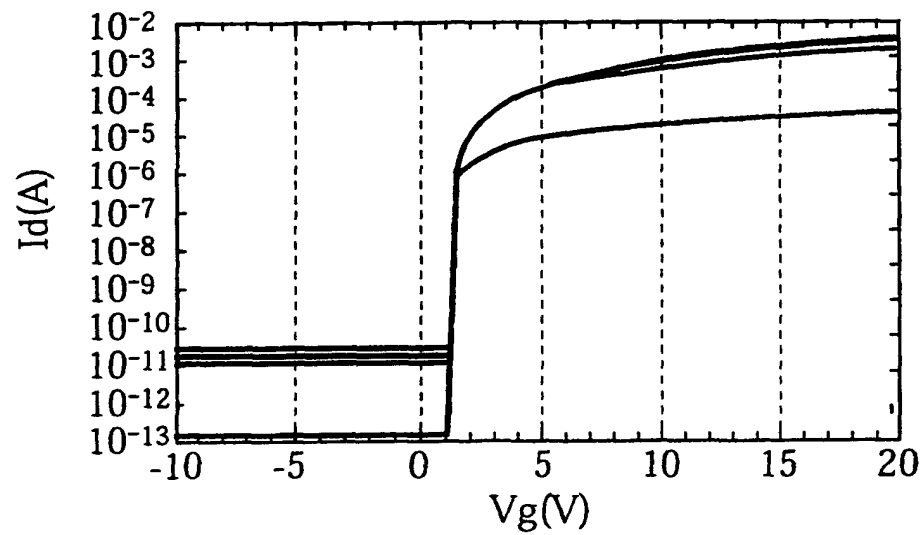
図34

(a)



ポリシリコンTFTのTr特性

(b)



MOS-Tr(結晶シリコン)の特性



図35

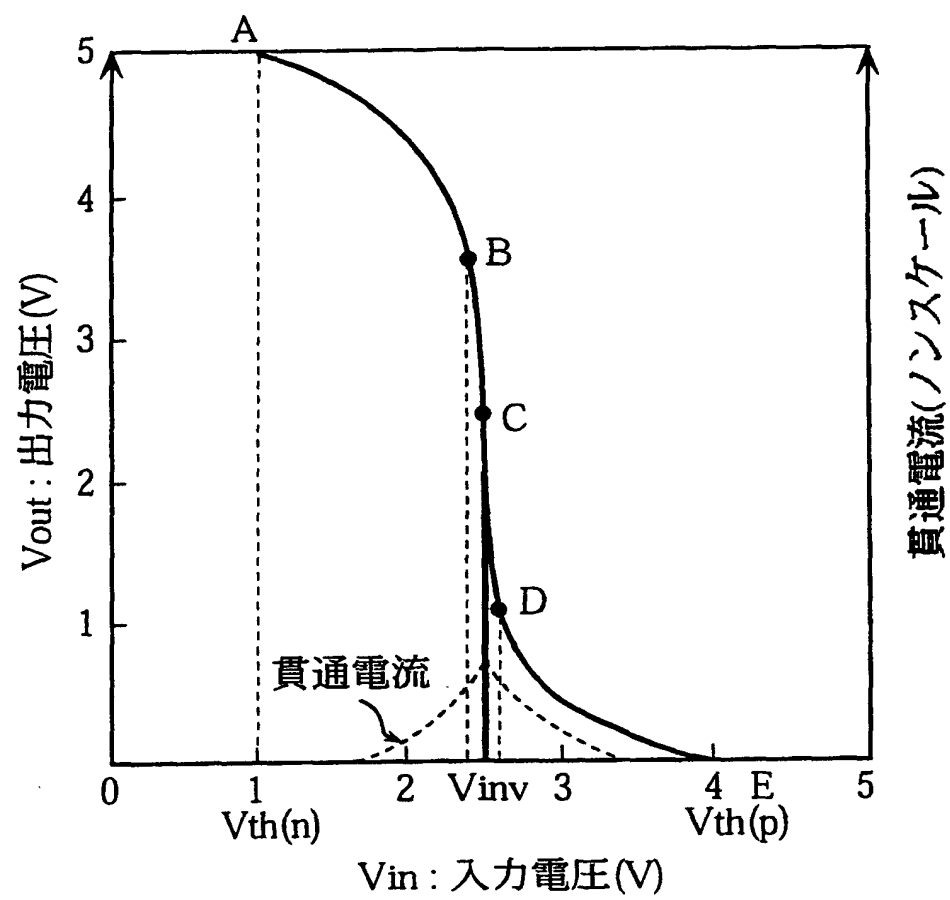




図36

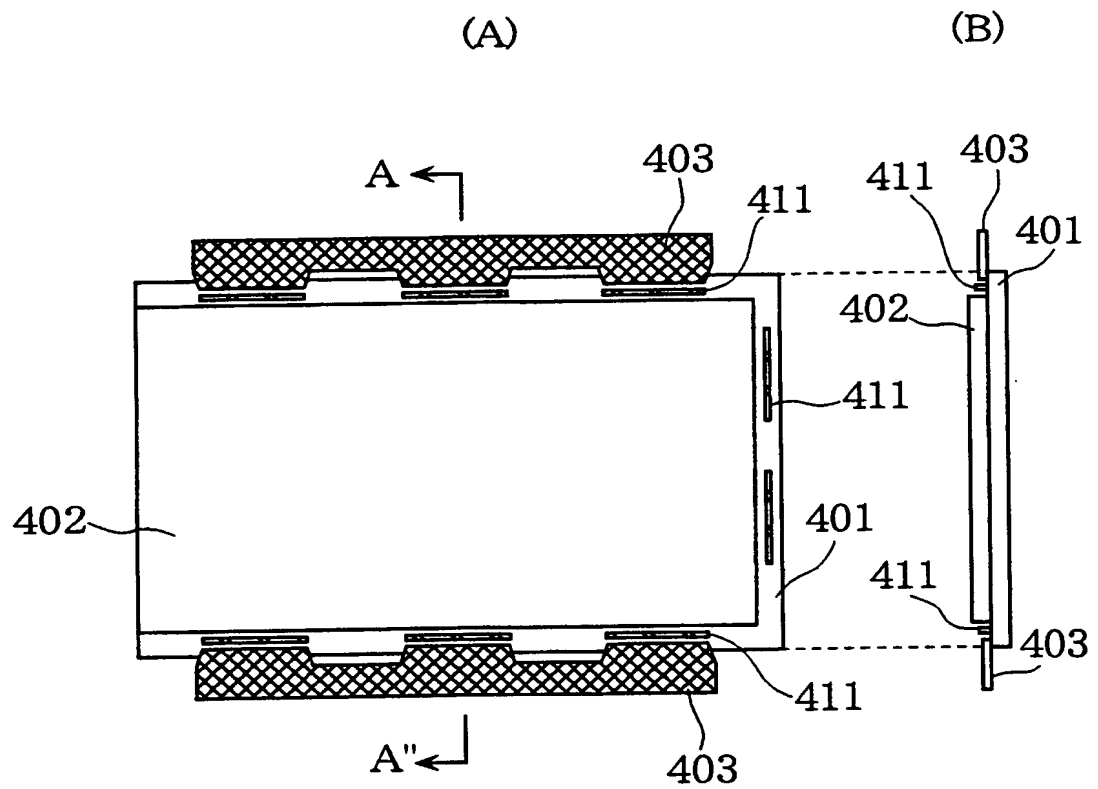
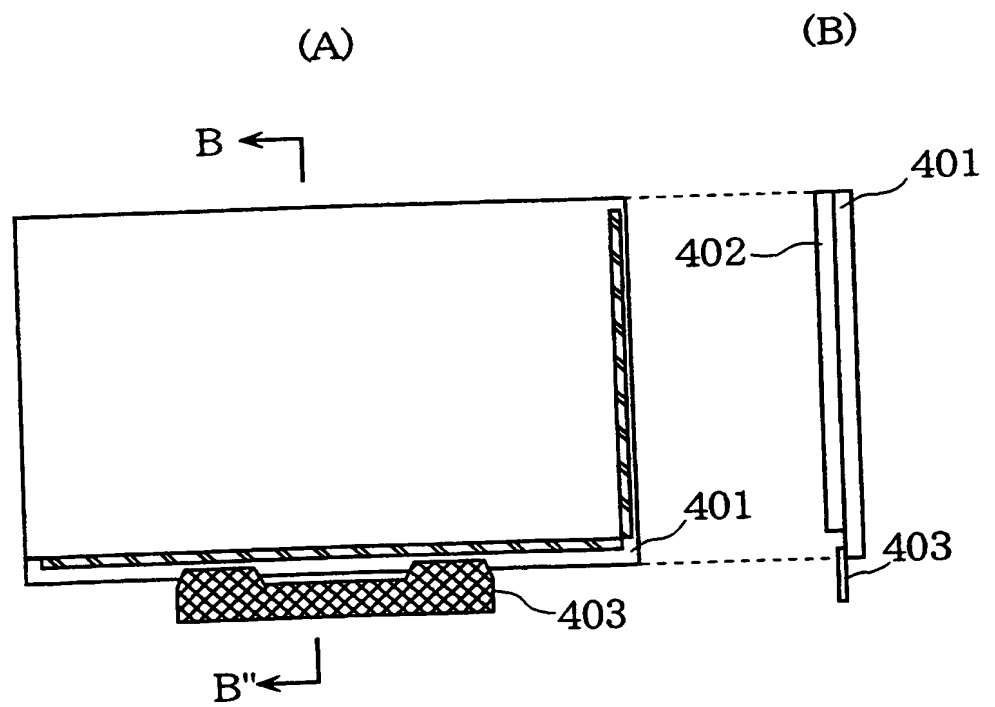






図37





# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05945

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> G02F1/1345

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> G02F1/1345

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 9-230362, A (Semiconductor Energy Lab. Co., Ltd.), 05 September, 1997 (05.09.97),	1, 17-19, 21, 23, 25, 27, 28
Y	Full text; all drawings (Family: none)	16, 20, 22, 24, 26, 29, 30, 36-38
A		2-15, 31-35
Y	JP, 3-98082, A (NEC Corporation), 23 April, 1991 (23.04.91), Full text; all drawings (Family: none)	16, 20, 22, 24, 26, 36-38
Y	JP, 8-248431, A (Hitachi, Ltd.), 27 September, 1996 (27.09.96), Full text; all drawings (Family: none)	29, 30



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
08 December, 2000 (08.12.00)

Date of mailing of the international search report  
19 December, 2000 (19.12.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G02F1/1345

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G02F1/1345

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996  
 日本国公開実用新案公報 1971-2000  
 日本国登録実用新案公報 1994-2000  
 日本国実用新案登録公報 1996-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 9-230362, A (株式会社半導体エネルギー研究所) 5. 9月. 1997 (05. 09. 97)	1, 17-19, 21, 23, 25, 27, 28
Y	全文、全図 (ファミリーなし)	16, 20, 22, 24, 26, 29, 30, 36-38
A		2-15, 31-35
Y	JP, 3-98082, A (日本電気株式会社) 23. 4月. 1991 (23. 04. 91) 全文、全図 (ファミリーなし)	16, 20, 22, 24, 26, 36-38

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日 08. 12. 00

国際調査報告の発送日 19.12.00

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 井口 猶二



2X 9119

電話番号 03-3581-1101 内線 3295

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 8-248431, A (株式会社日立製作所) 27. 9月. 1996 (27. 09. 96) 全文、全図 (ファミリーなし)	29, 30

## 特許協力条約に基づく国際出願願書

P23583-P0

原本 (出願用) - 印刷日時 2000年08月30日 (30. 08. 2000) 水曜日 17時17分13秒

0	受理官庁記入欄	
0-1	国際出願番号	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/R0/101 この特許協力条約に基づく国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.91 (updated 01. 07. 2000)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (R0/JP)
0-7	出願人又は代理人の書類記号	P23583-P0
I	発明の名称	表示装置およびその製造方法
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除くすべての指定国 (all designated States except US)
II-4ja	名称	松下電器産業株式会社
II-4en	Name	MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
II-5ja	あて名:	571-8501 日本国 大阪府 門真市 大字門真1006番地
II-5en	Address:	1006, Oaza-Kadoma, Kadoma-shi, Osaka 571-8501 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
II-8	電話番号	06-6908-5831
II-9	ファクシミリ番号	06-6906-8166
III-I	その他の出願人又は発明者	
III-1-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja	氏名 (姓名)	倉増 敬三郎
III-1-4en	Name (LAST, First)	KURAMASU, Keizaburo
III-1-5ja	あて名:	610-0351 日本国 京都府 京田辺市 大住ヶ丘3-12-2
III-1-5en	Address:	3-12-2, Osumigaoka Kyotanabe-shi, Kyoto 610-0351 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP





## 特許協力条約に基づく国際出願願書

P23583-P0


原本 (出願用) - 印刷日時 2000年08月30日 (30. 08. 2000) 水曜日 17時17分13秒

III-2 III-2-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-2-2	右の指定国についての出願人である。	米国のみ (US only)
III-2-4ja III-2-4en III-2-5ja	氏名 (姓名) Name (LAST, First) あて名:	南野 裕 NANNO, Yutaka 665-0024 日本国 兵庫県 宝塚市 逆瀬台1-7-1-714
III-2-5en	Address:	1-7-1-714, Sakasedai Takarazuka-shi, Hyogo 665-0024 Japan
III-2-6	国籍 (国名)	日本国 JP
III-2-7	住所 (国名)	日本国 JP
IV-1 IV-1-1ja IV-1-1en IV-1-2ja	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。 氏名 (姓名) Name (LAST, First) あて名:	代理人 (agent)  大前 要 OHMAE, Kaname 540-0037 日本国 大阪府 大阪市中央区 内平野町2-3-14 ライオンズビル大手前2階
IV-1-2en	Address:	2F, Lions Bldg. Ohtemae 2-3-14, Uchihiranomachi Chuo-ku, Osaka-shi, Osaka 540-0037 Japan
IV-1-3 IV-1-4	電話番号 ファクシミリ番号	06-6946-3591 06-6946-3593
V V-1	国の指定 広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	---
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	CN KR US
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。	
V-6	指定の確認から除かれる国	なし (NONE)



## 特許協力条約に基づく国際出願願書

原本 (出願用) - 印刷日時 2000年08月30日 (30. 08. 2000) 水曜日 17時17分13秒

VI-1	先の国内出願に基づく優先権主張		
VI-1-1	先の出願日	1999年09月08日 (08. 09. 1999)	
VI-1-2	先の出願番号	特願平11-254389	
VI-1-3	国名	日本国 JP	
VI-2	先の国内出願に基づく優先権主張		
VI-2-1	先の出願日	1999年09月13日 (13. 09. 1999)	
VI-2-2	先の出願番号	特願平11-259304	
VI-2-3	国名	日本国 JP	
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)	
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	4	-
VIII-2	明細書	45	-
VIII-3	請求の範囲	9	-
VIII-4	要約	1	p23583-p0. txt
VIII-5	図面	37	-
VIII-7	合計	96	
	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-18	要約書とともに提示する図の番号	18	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名 (姓名)	大前 要	

## 受理官庁記入欄

T0-1	国際出願として提出された書類の実際の受理の日	
T0-2	図面:	
T0-2-1	受理された	
T0-2-2	不足図面がある	
T0-3	国際出願として提出された書類を補完する書類又は図面であつてその後期間内に提出されたものの実際の受理の日 (訂正日)	
T0-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
T0-5	出願人により特定された国際調査機関	ISA/JP
T0-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	



## 特許協力条約に基づく国際出願願書

P23583-P0

原本 (出願用) - 印刷日時 2000年08月30日 (30. 08. 2000) 水曜日 17時17分13秒

## 国際事務局記入欄

II-1	記録原本の受理の日	
------	-----------	--



## PATENT COOPERATION TREATY

PCT

NOTIFICATION OF RECEIPT OF  
RECORD COPY

(PCT Rule 24.2(a))

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname  
Lions Building Ohtemae, 2F  
2-3-14, Uchihiranomachi  
Chuo-ku, Osaka-shi  
Osaka 540-0037  
JAPON

受領

12.11. - 8

大前特許事務所

Date of mailing (day/month/year) 26 September 2000 (26.09.00)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference P23583-P0 (FP00034/PCT)	International application No. PCT/JP00/05945

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. (for all designated States except US)  
KURAMASU, Keizaburo et al (for US)

International filing date : 31 August 2000 (31.08.00)  
Priority date(s) claimed : 08 September 1999 (08.09.99)  
13 September 1999 (13.09.99)  
Date of receipt of the record copy  
by the International Bureau : 18 September 2000 (18.09.00)  
List of designated Offices :

National :CN,KR,US

## ATTENTION

The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau.

In addition, the applicant's attention is drawn to the information contained in the Annex, relating to:

- ☒ time limits for entry into the national phase  
☒ confirmation of precautionary designations  
☒ requirements regarding priority documents

A copy of this Notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer: Susumu Kubo Telephone No. (41-22) 338.83.38
--	---





## PATENT COOPERATION TREATY

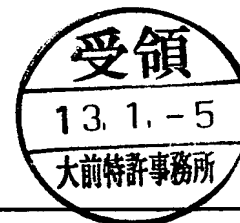
PCT

NOTIFICATION CONCERNING  
SUBMISSION OR TRANSMITTAL  
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname  
Lions Building Ohtemae, 2F  
2-3-14, Uchihiranomachi  
Chuo-ku, Osaka-shi  
Osaka 540-0037  
JAPON

Date of mailing (day/month/year) 07 December 2000 (07.12.00)	
Applicant's or agent's file reference P23583-P0 <i>FP 000 34 / PCT</i>	<b>IMPORTANT NOTIFICATION</b>
International application No. PCT/JP00/05945	International filing date (day/month/year) 31 August 2000 (31.08.00)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 08 September 1999 (08.09.99)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(\*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
08 Sept 1999 (08.09.99)	11/254389	JP	28 Nove 2000 (28.11.00)
13 Sept 1999 (13.09.99)	11/259304	JP	28 Nove 2000 (28.11.00)

<b>The International Bureau of WIPO</b> 34, chemin des Colombettes 1211 Geneva 20, Switzerland  Facsimile No. (41-22) 740.14.35	Authorized officer  Tessadel PAMPLIEGA <i>Tdp</i>  Telephone No. (41-22) 338.83.38
---	--



## PATENT COOPERATION TREATY

PCT

NOTICE INFORMING THE APPLICANT OF THE  
COMMUNICATION OF THE INTERNATIONAL  
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname  
Lions Building Ohtemae, 2F  
2-3-14, Uchihiranomachi  
Chuo-ku, Osaka-shi  
Osaka 540-0037  
JAPON

Date of mailing (day/month/year) 15 March 2001 (15.03.01)		IMPORTANT NOTICE	
Applicant's or agent's file reference P23583-P0 <i>JP00034/PCT</i>			
International application No. PCT/JP00/05945	International filing date (day/month/year) 31 August 2000 (31.08.00)	Priority date (day/month/year) 08 September 1999 (08.09.99)	
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al			

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:  
KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:  
CN

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 15 March 2001 (15.03.01) under No. WO 01/18596

**REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)**

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a **demand for international preliminary examination** must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

**REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))**

If the applicant wishes to proceed with the international application in the **national phase**, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer J. Zahra Telephone No. (41-22) 338.83.38
--	---





P C T

## 国際調査報告

(法 8 条、法施行規則第40、41条)  
〔P C T 1 8 条、P C T 規則43、44〕

出願人又は代理人 の書類記号 P 2 3 5 8 3 - P 0	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0 ) 及び下記5を参照すること。	
国際出願番号 P C T / J P 0 0 / 0 5 9 4 5	国際出願日 (日.月.年) 3 1 . 0 8 . 0 0	優先日 (日.月.年) 0 8 . 0 9 . 9 9
出願人 (氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 ( P C T 1 8 条 ) の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 ( P C T 規則38.2(b) ) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 8 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G02F1/1345

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G02F1/1345

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996

日本国公開実用新案公報 1971-2000 -

日本国登録実用新案公報 1994-2000

日本国実用新案登録公報 1996-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 9-230362, A (株式会社半導体エネルギー研究所) 5. 9月. 1997 (05. 09. 97)	1, 17-19, 21, 23, 25, 27, 28
Y	全文、全図 (ファミリーなし)	16, 20, 22, 24, 26, 29, 30, 36-38
A		2-15, 31-35
Y	JP, 3-98082, A (日本電気株式会社) 23. 4月. 1991 (23. 04. 91) 全文、全図 (ファミリーなし)	16, 20, 22, 24, 26, 36-38

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日  
08. 12. 00国際調査報告の発送日  
19.12.00国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号特許庁審査官 (権限のある職員)  
井口 猶二

2X 9119

電話番号 03-3581-1101 内線 3295





C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 8-248431, A (株式会社日立製作所) 27. 9月. 1996 (27. 09. 96) 全文、全図 (ファミリーなし)	29, 30

